

## アニーリングマシンを活用した PCB 設計支援ツールの開発 — 電子機器設計の大幅な効率化を目指して —

### 1. 背景

社会の情報化が加速する中で、その基盤となる電子機器の小型化および集積化が求められている。電子機器の根幹をなす PCB(プリント基板)上には複数の部品が配置され、PCB 表面にはそれらを電気的に接続するための配線が敷かれる。

配線をする際は電気的な特性を考慮する必要がある。配線長の最小化や折れ曲がり角度の調整、ビア数の最小化が求められる。また、昨今は多層基板の需要が増加しており、膨大な数の配線を三次元的にどのように配線するかは、極めて複雑な組合せ最適化問題である。拡大していく電子機器の需要を満たすためには設計工程の大幅な効率化が求められる。

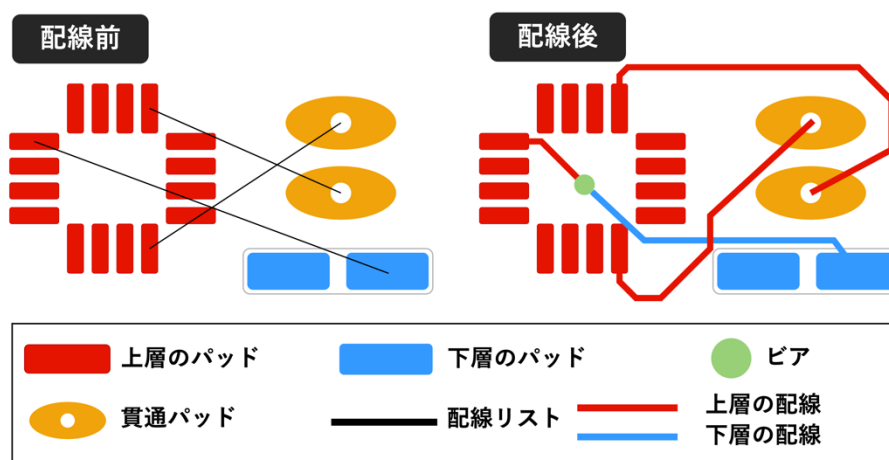


図1 プリント基板の外観とビアの説明

### 2. 目的

本プロジェクトではアニーリングマシンを活用した PCB 設計支援ツールを開発することで、設計者の負担を大幅に軽減することである。具体的には、設計フローの中でも特に工数の多い配置・配線を自動化することを目的とする。既存の自動配線ツールの多くは配線率や計算時間、電気的な特性の扱いに問題を抱えている。本プロジェクトでは配線問題をアニーリングマシンの活用により効率的に解く手法を新規に開発し、既存ツールに台頭していくことを目指している。

### 3. ソフトウェア開発内容

本プロジェクトでは、1) アニーリングマシンを活用した配線問題の最適化 2) 製造可能な配線データを生成するための事後処理 3) デスクトップアプリケーションに関するソフトウェア開発を行った。

#### 1) アニーリングマシンを活用した配線問題の最適化

本プロジェクトでは、各配線に対して複数の候補経路を生成し、最適な組み合わせをアニーリングマシンにより選び取るというアプローチを採用した。探索効率を高めるために、ドロネー三角形分割と呼ばれるメッシュ生成法によって粗いメッシュを構築した。このメッシュから、層間の移動を考慮した三次元の探索グラフを構築し、このグラフ上で候補経路を生成する。最適化では、配線同士の交差や特定の辺を通過する配線数が上限を超えないことを制約とした上で、配線長とビア数の合計値を最小化する。

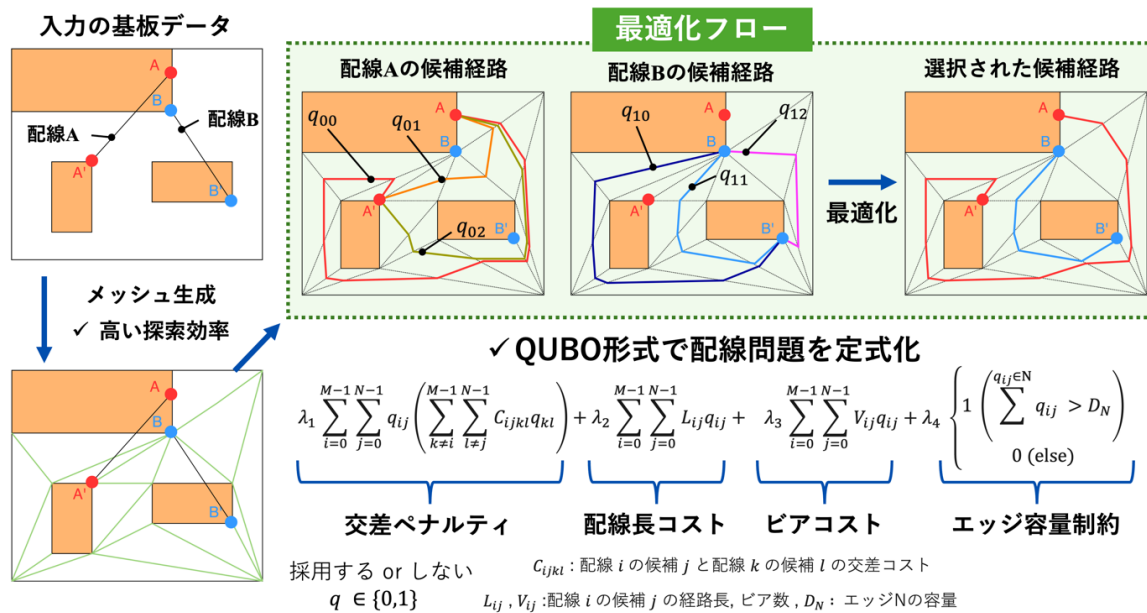


図2 アニーリングマシンを活用した配線問題の最適化手法の概要

## 2) 製造可能な配線データを生成するための事後処理

アニーリングマシンを活用した最適化によって、各配線が大まかにどこを通るかが決定される。具体的には、図3に示されるような通過する三角形と層の情報が配線ごとに与えられる。製造可能な配線データを生成するためには、座標を持ち、かつ折れ曲がりの角度制約やクリアランスと呼ばれる配線間最小距離の制約を満たした経路を構築する必要がある。本プロジェクトは高度な事後処理を実装することで、これを実現した。

事後処理は二つの工程に分けられる。第一段階の事後処理では、各辺を各配線がどの順番で通過するかを決定し、均等な分布と平滑化を目的関数として座標を割り振る。これにより、制約は満たさないものの具体的な座標を持った経路を構築することができる。これを任意角の経路と呼ぶ。第二段階の事後処理では、A\*アルゴリズムによって任意角の経路が角度制約とクリアランス制約を満たした経路に変換される。手法は至って単純であり、任意角の経路を一本ずつ削除して、A\*アルゴリズムによって再配線する操作を各配線に対して繰り返していく。配線同士の干渉に対するコストを徐々に大きくしていくことで、自然と制約違反が減少していき、整然とした配線データが得られる。ここで、任意角の経路は、各配線を最適な経路に誘導するガイドとして機能する。

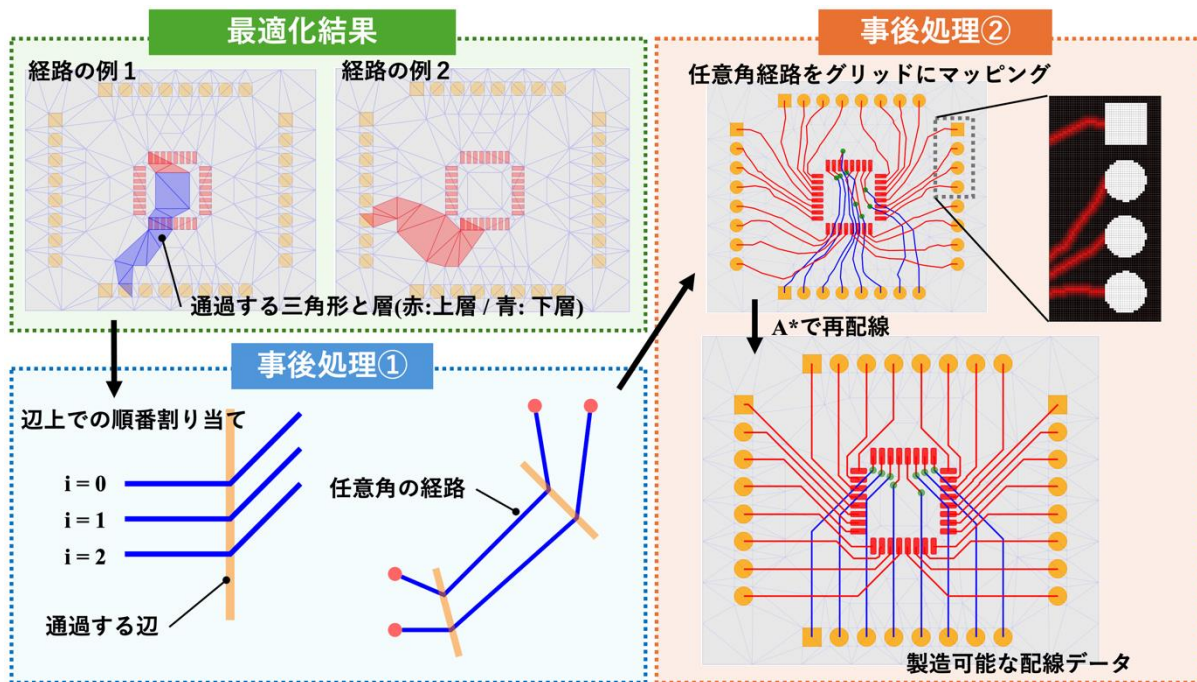
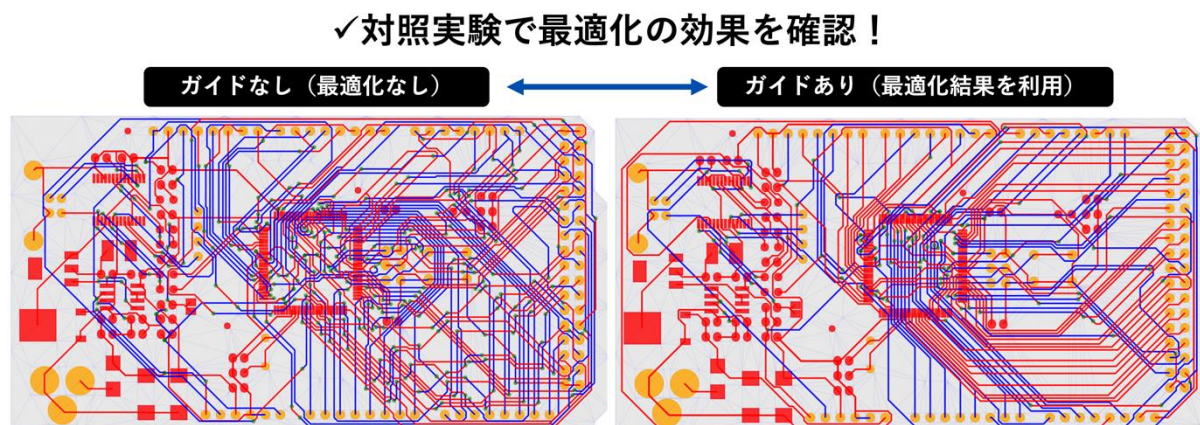


図3 事後処理の概要図

最適化の効果を検証するために、任意角の経路をガイドとして与えずに配線した結果と、与えて配線した結果を図4に示す。ガイドがない場合（左図）は、大域的な視



点が与えられないまま経路が生成されるため、結果として冗長な配線が多く見受けられる。一方でガイドがある場合（右図）は配線長やビア数が大幅に削減され、人が見ても綺麗な配線が生成されていることがわかる。

図4 最適化の有無による配線結果の比較

### 3) デスクトップアプリケーション

成果をツールとしてユーザーに公開するために、デスクトップアプリケーションの開発にも取り組んだ。アプリは Tauri と呼ばれるモダンなフレームワークで構築されており、全て OS で利用することができる。代表的な EDA である KiCAD との連携を想定して設計されており、ファイルの入出力を通して容易に自動配線を実行することができる。

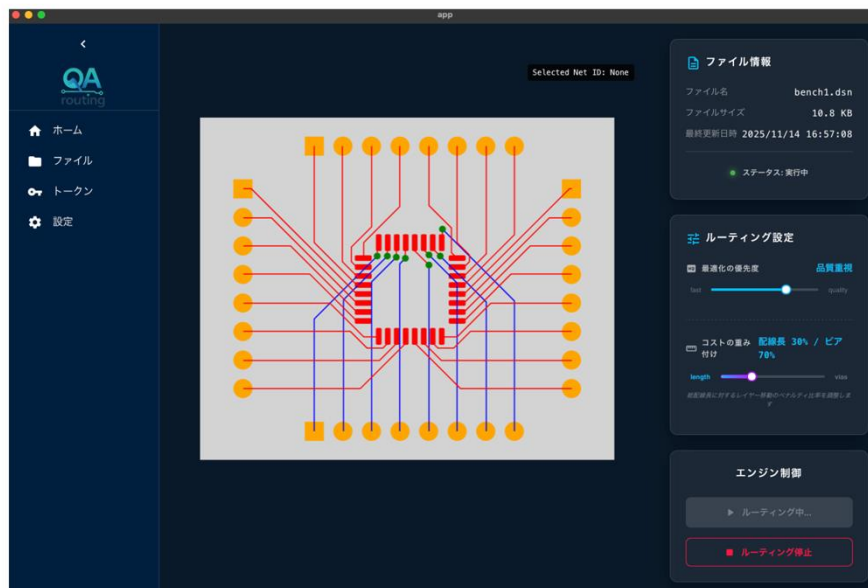


図 5 デスクトップアプリケーションの画面

### 4. 新規性・優位性

配線問題は複雑な組み合わせ最適化問題であり、効率的に解くことが困難とされてきた。多くの自動配線ツールでは、再配線を繰り返し実行することで徐々に配線品質を向上させていくようなアプローチが取られている。そのようなアプローチでは、配線数や基板サイズの増加に伴う探索空間の爆発に対応することができず、スケーラビリティの面で大きな課題を抱えている。

本プロジェクトが開発した手法は、ドロネー三角形分割による探索空間の圧縮と生成済み経路を候補経路として利用するフローを組み合わせているため、極めて効率が高く、規模が大きな問題に対しても高いパフォーマンスを示すことが強みであると考えられる。

### 5. 期待されるユーザー価値と社会へのインパクト

期待されるユーザーは PCB の設計者である。家電から産業用ロボット、教育現場など、PCB には広範なニーズがある。設計者が本ソフトウェアを使用することで、配線にかかる作業時間を大幅に短縮できる可能性がある。また、本プロジェクトの成果は論文としても公開予定であり、EDA 研究の加速への貢献も期待される。将来的に PCB の全工程が自動化される際に、自動配線に特化した強力なエンジンとして本手法が利用されることを目指して、引き続き開発に取り組んでいく。

6. 氏名 (所属)

加藤 駿典 (東北大学工学部電気情報物理工学科)

永山 虹空 (東北大学大学院工学研究科航空宇宙工学専攻)

遠山 航汰 (東北大学大学院工学研究科電子工学専攻)