

アニーリングマシンを活用したPCB設計支援ツールの開発

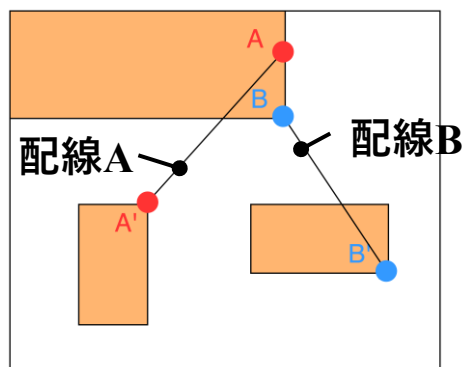
— 電子機器設計の大幅な効率化を目指して —

加藤駿典 永山虹空 遠山航汰

アニーリングマシンでPCBの自動配線を最適化する手法を提案

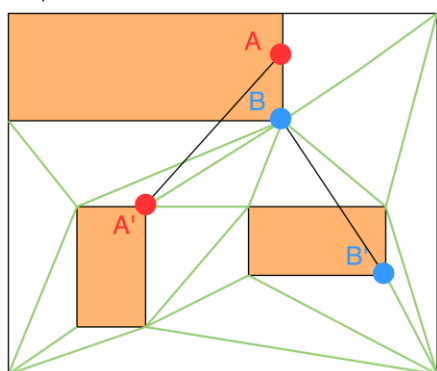
粗いメッシュ上で生成した複数の候補経路から最適な組み合わせを選択！

入力の基板データ

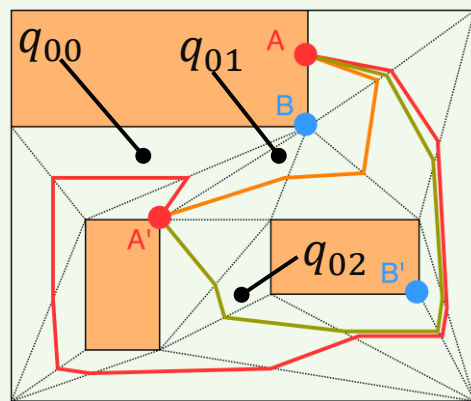


メッシュ生成

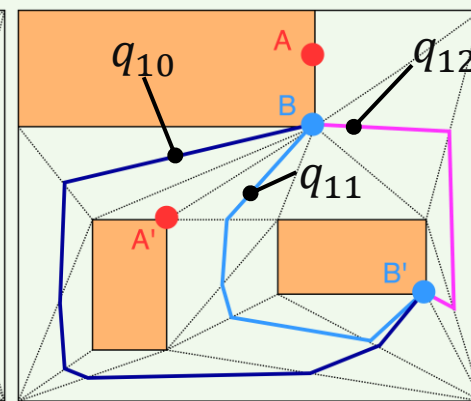
✓ 高い探索効率



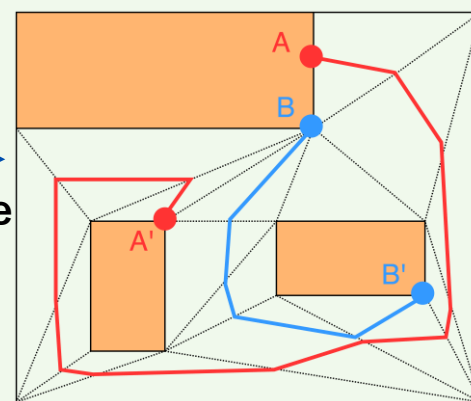
配線Aの候補経路



配線Bの候補経路



選択された候補経路



solve

✓ QUBO形式で配線問題を定式化

$$\lambda_1 \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} q_{ij} \left( \sum_{k \neq i} \sum_{l \neq j} C_{ijkl} q_{kl} \right) + \lambda_2 \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} L_{ij} q_{ij} + \lambda_3 \sum_{i=0}^{M-1} \sum_{j=0}^{N-1} V_{ij} q_{ij} + \lambda_4 \begin{cases} 1 & \left( \sum_{q_{ij} \in \mathbb{N}} q_{ij} > D_N \right) \\ 0 & (\text{else}) \end{cases}$$

交差ペナルティ

採用する or しない

$q \in \{0,1\}$

配線長コスト

$C_{ijkl}$ : 配線  $i$  の候補  $j$  と配線  $k$  の候補  $l$  の交差コスト

ビアコスト

$L_{ij}, V_{ij}$ : 配線  $i$  の候補  $j$  の経路長, ビア数,  $D_N$ : エッジ  $N$  の容量

エッジ容量制約

# 大まかな経路情報から製造可能な配線データを生成する

【アニーリングによる選択結果】



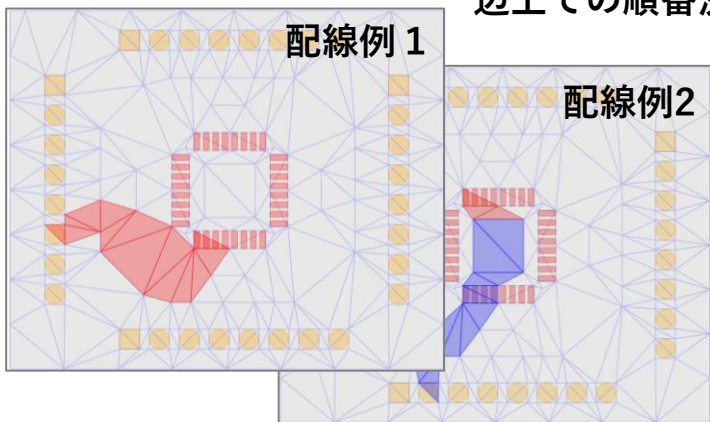
【任意角の配線】



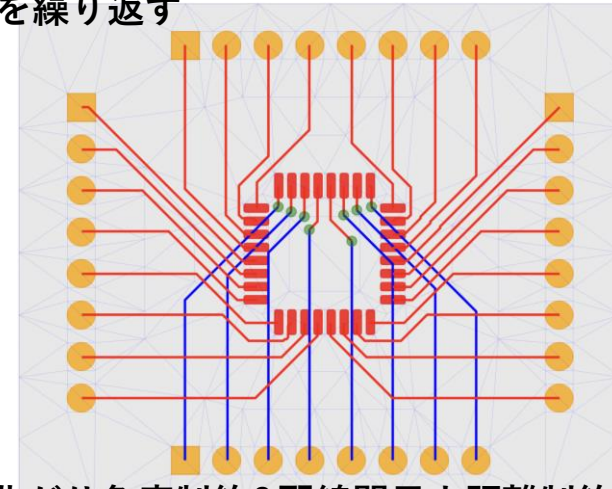
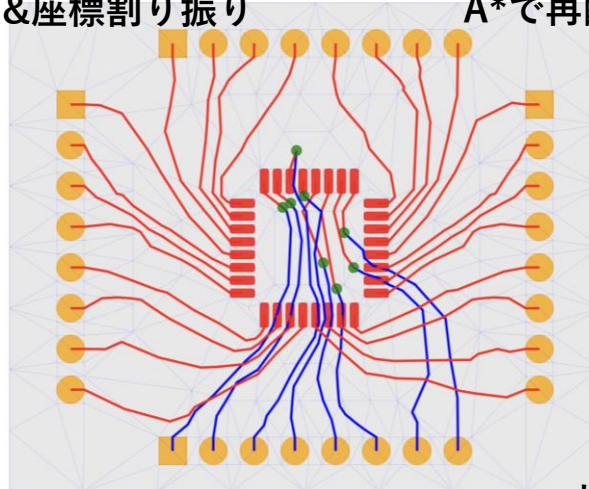
【製造可能な配線】

边上での順番決定&座標割り振り

A\*で再配線を繰り返す



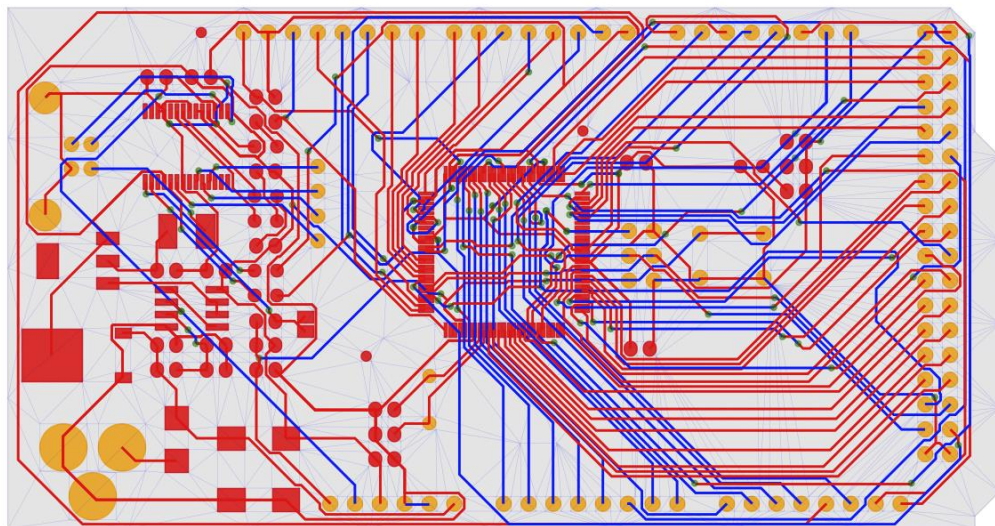
通過する三角形と層のリスト



折れ曲がり角度制約&配線間最小距離制約

✓ 大規模な基板での高いパフォーマンス

✓ デスクトップアプリケーションを開発



高いスケーラビリティを確認！

