

アニーリングマシンを活用した次世代自動配線ツールの開発 — 電子機器設計の大幅な効率化を目指して —

1. 背景

社会の情報化が加速する中で、その基盤となる電子機器の小型化および集積化が求められている。電子機器の根幹をなすプリント基板には複数の部品が配置され、それらを電氣的に接続するための配線が基板表面に敷かれる。

配線の長さやビアの数、角度に代表される配線形状は、電氣的な特性を左右する支配的な要素である。配線時に電氣的な特性を考慮しなければノイズが発生しやすくなり、電子機器の動作に支障をきたす。一般的なプリント基板は2層以上で構成されるため、配線は三次元的な経路で設計される。膨大な数の配線を三次元的にどのように接続すれば、電氣的特性を維持しつつ交差を避けられるかは複雑な組合せ最適化問題であり、効率的に解くことが難しいとされてきた。

配線の難易度はプリント基板の大規模化に伴って高くなり、設計に要する時間も長くなる。拡大し続ける電子機器の需要に対応するためには、設計工程の大幅な効率化が求められる。

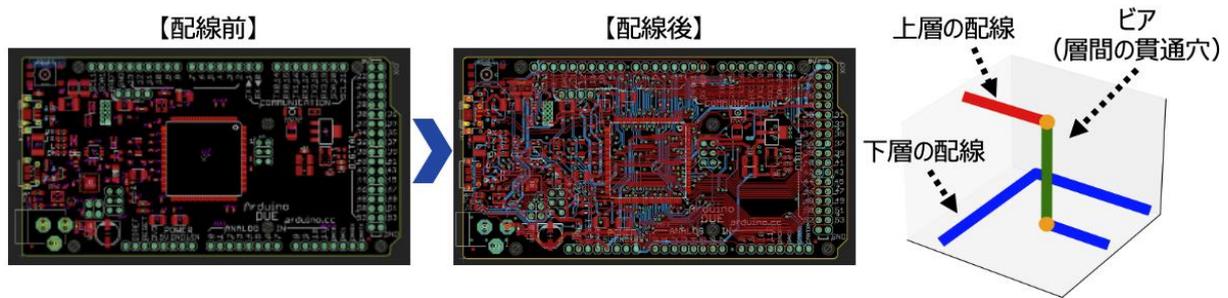


図1 プリント基板の概略図

2. 目的

本プロジェクトではアニーリングマシンを活用した自動配線アルゴリズムを開発することで配線問題の根本的な解決を目指す。これにより、プリント基板の設計工程を大幅に効率化し、安定した電子機器のサプライチェーン構築に貢献する。

具体的には、グローバルルーティング（配線経路の大まかな割り当てを行う工程）へのアニーリングマシンの活用を検討する。この工程は、詳細な配線を行う前の準備段階にあたり、効率的な配線を実現する上で重要なステップである。

3. ソフトウェア開発内容

本プロジェクトでは、1) 配線問題の組合せ最適化問題としての定義 2) アニーリングマシンを活用したグローバルルーティング 3) 大規模な基板に対しても有効なアルゴリズム に関するソフトウェア開発を行った。

1) 配線問題の組合せ最適化問題としての定義

各配線に対して複数の候補経路を準備し、アニーリングマシンを用いて最適な候補経路の組合せを選択するアルゴリズムを開発した。経路長とビア数は電氣的特性を左右する支配的な要素であり、これらを最小化することが望ましい。また、同じ層での交差を禁止し、配線密度を上限内

に収めることが制約条件となる。図2に、具体的な定式化手法と、2配線に対して3本ずつ候補経路を用意し最適化を行う際のプロセス概要を示す。

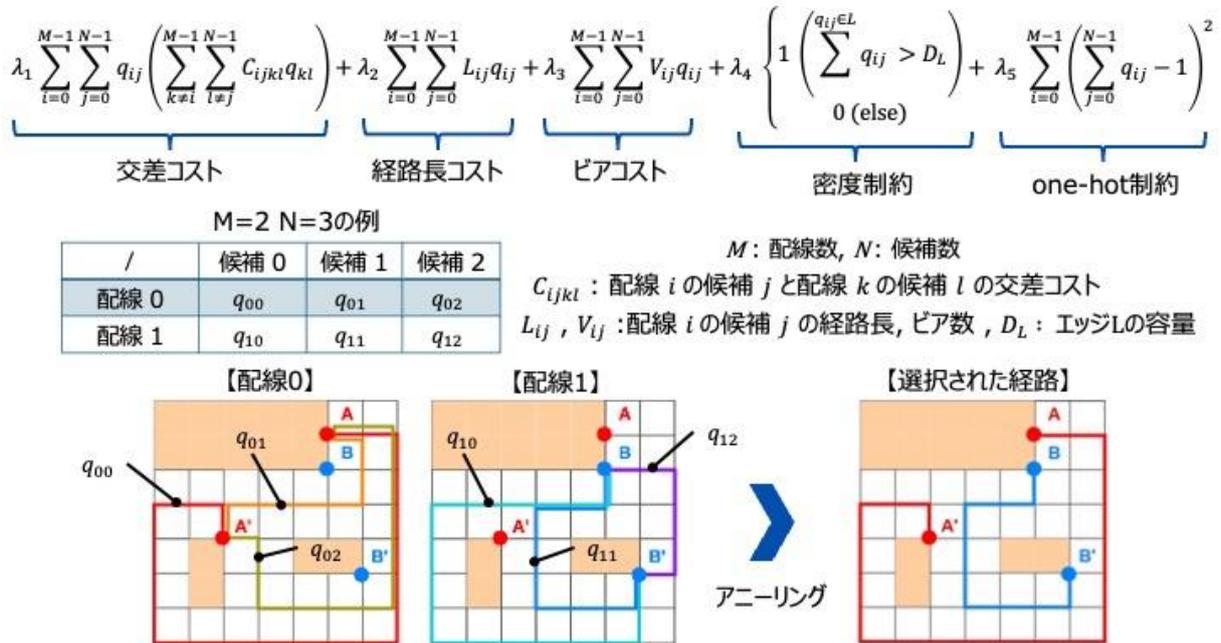


図2 定式化手法とアルゴリズム概要

2) アニーリングマシンを活用したグローバルルーティング

グローバルルーティングの目的は配線経路の大まかな割り当てであり、この段階では高い解像度は求められない。詳細な配線を行う際には、図3の左側に示すように、グリッド上で経路を生成する必要がある。一方、グローバルルーティングでは、図3の右側に示すように、グラフ上での経路生成を考える。このグラフは、基板上のコンポーネント（ピンやパッド）の中心座標に対し、ドロネー三角形分割を適用して生成したものである。

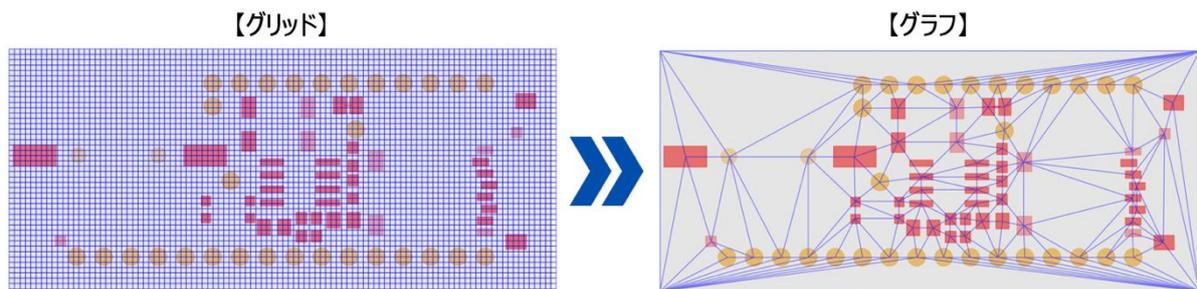


図3 グリッドとグラフ

グラフ上での経路探索にはA*アルゴリズムを使用する。A*アルゴリズムは効率的に最短経路を求める手法であるが、多様な経路の生成には適していない。そこで、他の配線を障害物として設定したり、通過禁止のエッジを指定したりすることで、条件を変えながら多様な経路を生成する。

生成された経路は、三角形間の移動として表現される。三次元的な経路を考慮するために、通過した三角形ごとに属する層を割り当てる。隣接する三角形間で層が異なる場合、その間にビアを配置することになる。

上述の候補経路生成手法とアニーリングによる最適化を組み合わせ、微小規模から中規模の基板を対象に実証試験を行なった。交差や制約違反のない解を実行可能解と定義すると、すべてのケースで実行可能解を得られることを確認できた。数百本程度の候補経路を準備してアニーリングを実行しており、数十秒でグローバルルーティングを完了できる。本プロジェクトが提案したグローバルルーティングでは、配線がどの三角形をどの層で通るかまで決定される。三角形内の配線間の位置関係は一意に決まるため、工夫を施して図4のようにプロットしている。微小規模および小規模の基板については、最適な解が得られている。中規模な基板に関して、従来の自動配線ソフトのように順番に依存して局所解に陥るケースは確認されておらず、グローバルルーティングの新たなアプローチとして有効であることを確認できた。

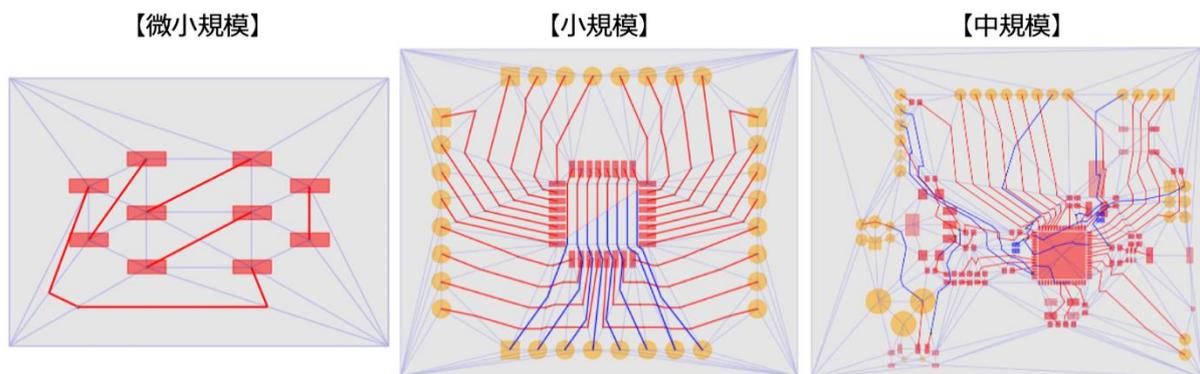


図4 微小・小・中規模な基板での実証試験結果

3) 大規模な基板に対しても有効なアルゴリズム

大規模な基板では実行可能解を得ることが困難であり、ランダムに候補経路を増やしても実行可能解が得られるケースは確認できなかった。むしろビット数の増加に起因する求解精度の低下が目立った。そこで、候補経路数を絞りつつ、候補の質を高めていく手法の開発に取り組んだ。列生成法に着想を得た手法であり、アニーリングマシンによる選択結果を利用して候補経路を更新していくというものである。選択結果から残っている交差や制約違反の情報を取り出して、それらに対して有効な候補経路を追加していく。図5に候補経路追加のサイクルを回した際のコストと制約違反数の推移を示している。サイクルを回すにつれて制約違反数が減少していき、実行可能解が得られることを確認できた。サイクルの回数が増えた際にビット数が増大してしまう問題が見られたため、設定した上限ビット数を超えた場合は有望でないと思われる候補経路を捨てるといった処理も実装した。有望でない候補経路の分類にも、アニーリングの選択結果を利用している。

この手法により、配線数が多い大規模な基板においても、求解精度を確保できるビット数の範囲内で実行可能解を得ることができる。問題規模がボトルネックにならないという点において、広範な応用可能性を持つアルゴリズムであると言える。

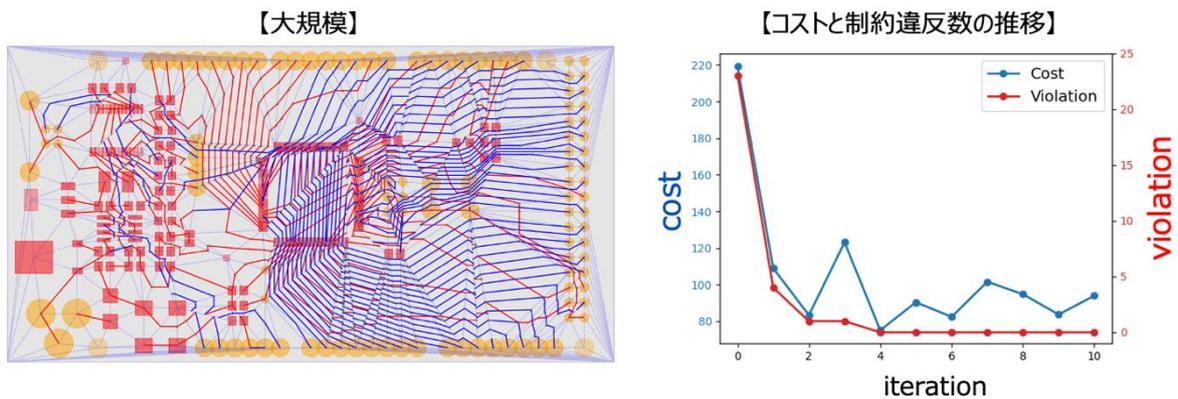


図5 大規模な基板での実証試験結果とコスト・制約違反数の推移

4. 新規性・優位性

各配線に対して複数の候補経路を用意し、アニーリングマシンを用いて最適な候補の組合せを選択する手法を開発した。本手法は、結果が配線順番に依存しないため、従来の自動配線ソフトが抱える課題を根本的に解決できるという優位性を持つ。

本手法では、質の高い候補経路を揃えることが重要となる。制約を満たす解が存在しない場合でも有用な解を得られるアニーリングマシンを使うことで、結果をフィードバックとして活用し、指向性を持たせながら候補経路の質を向上させることができる。これは、他の数理最適化ソルバーでは効率的に達成することが困難であり、アニーリングマシンならではの強みと言える。また、求解時間の短さや解の多様性も高い性能を達成する上で欠かせない要素である。本手法はアニーリングマシンの強みを最大限活かした自動配線アルゴリズムであり、その点において新規性があると言える。

5. 期待されるユーザー価値と社会へのインパクト

期待されるユーザーはプリント基板の設計者である。家電から産業用ロボット、教育現場など、プリント基板には広範なニーズがある。設計者が本ソフトウェアを使用することで、配線にかかる作業時間を大幅に短縮できる可能性がある。グローバルルーティングの結果を参照することで、設計者は各配線をどう敷いていくべきかの指標を得ることができ、試行回数の削減に繋がる。今後はグローバルルーティングに基づいた詳細な配線処理の実装に取り組んでいく予定である。製造可能なデータを出力することができれば、配線工程の完全な自動化が可能になる。

6. 氏名（所属）

- 加藤 駿典（東北大学工学部電気情報物理工学科）
- 永山 虹空（東北大学工学部機械知能・航空工学科）
- 遠山 航汰（東北大学工学部電気情報物理工学科）