

プロセッサの内部状態を活用した
高効率リザーブコンピューティング基盤の創出
– 世界初の Reservoir-in-Processor –

1 背景

リザーブコンピューティングは、低消費電力で高速な学習を可能とする、時系列処理に適した機械学習技術の一つであり、スマートフォンやIoTデバイスといったエッジ端末での活用など、軽量の推論・学習を実現するための基盤技術として期待されている。

リザーブコンピューティングでは、水面のような自然系や、パラメータを乱数で固定したリカレントニューラルネットワーク (Recurrent Neural Network; RNN) などから構成されるリザーブによって特徴量抽出を行う。学習可能なパラメータは、リザーブから出力へとつながる、リードアウト部の結合のパラメータだけであることから、閉形式でのパラメータの最適化が可能となり、学習に反復を要する RNN と比べて低消費電力かつ高速な学習を実現することができる。

このような軽量の推論・学習が必要となるアプリケーションとして、プロセッサ内での予測機構が挙げられる。その一つがパイプラインプロセッサにおける分岐予測である。分岐予測では、プログラムの分岐命令の結果を予測する。予測精度の高い分岐予測器を実現することができれば、より高速なプログラム実行が可能となる。近年では、分岐予測に機械学習を用いた高性能なアルゴリズムが使用されており、その高性能化・高効率化は計算機性能の向上に関わる重要な課題である。リザーブコンピューティングは、高速な学習・推論を可能とすることから、このような予測機構に適していると期待される。しかし、リザーブコンピューティングを分岐予測に利用する際には、通信・計算のオーバーヘッドや、物理リザーブのシステム構築の困難さといった課題が生じうる。

2 目的

本プロジェクトでは、システムの構築が容易であり、高効率な学習および推論を可能とするリザーブコンピューティングの実現に向け、プロセッサの内部状態を利用する新たなリザーブコンピューティング基盤の創出を目指す。

プロセッサの内部状態をリザーブの状態と見なすことで、外部のリザーブを必要とせず、物理リザーブの状態更新の暗黙的な実行を可能とする。図 1 にリザーブコンピューティングの従来法と提案法の概念的な差異を示す。

提案手法では、プロセッサ内部の状態、例えば、パイプラインプロセッサのパイプラインレジスタ、有限状態機械 (Finite State Machine; FSM)、キャッシュテーブル、電圧や温度などをリザーブとして活用する。本プロジェクトでは、第一段階として Field Programmable Gate Array (FPGA) においてプロセッサを実装し、プロセッサのどのような内部情報をリザーブ状態として活用可能であるかについて検証を行う。第二段階として、時系列問題として定式化される分岐予測に対して、リザーブコンピューティングの適用を行う。

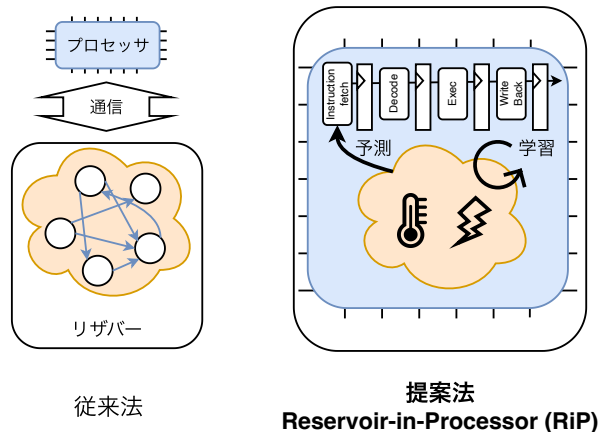


図 1: 従来法と提案法

3 ソフトウェア開発内容

3.1 RISC-V プロセッサの FPGA 実装

各種分岐予測器の比較を行う土台として、市販の FPGA ボード上で動作する RISC-V プロセッサを実装した。プロセッサのアーキテクチャに RISC-V を採用した理由は、オープンソースとして成果物を公開することが可能であるためである。成果物を公開することで、他の研究者や開発者が研究成果を利用し、世間に広めるとともに、研究・開発の促進に貢献することを意図している。

3.2 RiP 分岐予測器の実装

本プロジェクトでは、プロセッサの内部状態として熱の変化に着目した Reservoir-in-Processor (RiP) を実現する。リングオシレータを FPGA 上に実装することによって、FPGA の温度測定を行う。リングオシレータは、温度が低ければ高い発振周波数を示し、温度が高ければ小さい発振周波数を示す。

熱の情報を利用した分岐予測器 (RiP 分岐予測器) のブロック図を図 2 に示す。

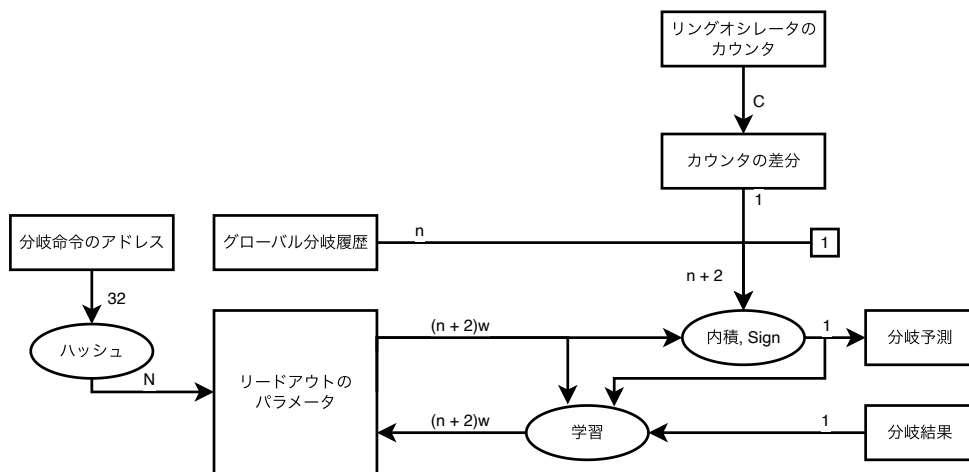


図 2: RiP 分岐予測器のブロック図。図中の数字はビット幅を表す。

RiP 分岐予測器は、リングオシレータの周波数の変化、そしてグローバル分岐履歴を入力とし、リードアウトを行うことによって予測を行う。それぞれのリングオシレータの周波数は、 C ビットの非同期カウンタによって測定される。RiP 分岐予測器では、温度変化、つまり周波数の変化を利用した予測を行うため、 C ビットのカウンタ値と1ステップ前のカウンタ値の差を計算し、その符号を取ることで温度の変化を表現する。このビットの値と、 n ビットのグローバル分岐履歴、そしてバイアス計算のための定数1を結合することでリザーブの出力 r_o を得る。

リードアウトのパラメータについては以下のように選択される。32ビットで表現されている分岐命令のアドレスは、ハッシュ関数により N ビットのハッシュ値に変換される。この N ビットの値は、リードアウトのパラメータが格納されているメモリのアドレスとして利用され、一つのパラメータ w_r が選択される。このパラメータ w_r は、学習可能なパラメータであり、リザーブの出力の次元 $n+1$ に加え、バイアスの1ビットを加えた $n+2$ 次元の整数のベクトルである。そのため、それぞれのパラメータのビット幅を w とすると、 w_r は $(n+2)w$ ビットで表現される。

RiP 分岐予測器では、このようにして得られたリザーブの出力とリードアウトのパラメータとの内積をとることにより、以下のように予測値 y を計算する。

$$y = w_r r_o$$

最終的な分岐予測は、 y が0以上の場合は taken、それ以外では untaken として、分岐の結果についての予測を出力する。以上が、RiP 分岐予測器の概略である。

既存の古典的な分岐予測器との予測性能の比較結果を、図3に示す。縦軸は、各分岐予測手法における分岐予測の正解率を表している。RiP 分岐予測器は、既存の代表的な分岐予測器に迫る性能を実現した。センシングデバイスの精度、個数や配置などチューニングの余地は多く残しているため、精度向上の余地が多いことが期待される。

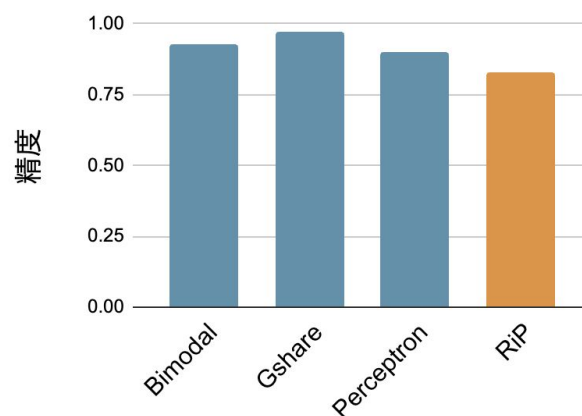


図 3: Dhrystone ベンチマークを実行した時の、RiP 分岐予測器と既存の分岐予測器との性能比較。

4 新規性・優位性

今回の成果における新規性と優位性は特に以下の二項である。

1. リングオシレータにより実行時のプロセッサの熱を用いた分岐予測器を実現した。
2. FPGA 上で物理的なリザーバーを実現し、その性能を評価した。

加えて、動的な熱や電圧などのプロセッサの物理量を用いた分岐予測器は世界初であること、市販の一般的な FPGA 上で完結した物理リザーバーの実装を OSS として公開することにより容易な再現を実現したことも、本成果の大きな優位性である。

5 期待されるユーザー価値と社会へのインパクト

今回の成果により、以下のようなユーザー価値と社会へのインパクトが期待される。

1. リザーバーコンピューティングを使った新たな研究の基盤を創出する。
2. RISC-V コミュニティにおける新たな産業的な応用事例の基盤となる。

OSS として公開しているプロセッサコア [1] とシミュレータ [2] のソースコードは、学術・産業界での新たな研究開発の基盤となることが期待される。本プロジェクトでは評価の対象を分岐予測器のみとしたが、この基盤を通して様々なアルゴリズムでの応用機会が探索されれば、より消費電力が少なく回路効率の高いデバイスの増加が期待できる。

6 氏名（所属）

浅野 光平（東京大学 大学院）

菅 研吾（東京大学 大学院）

田中 燦（東京大学 大学院）

平山 侑樹（東京大学 大学院）

参考文献

- [1] “Reservoir-in-Processor CPU.” [Online]. Available: <https://github.com/Reservoir-In-Processor/rip-cpu>
- [2] “Reservoir-in-Processor Simulator.” [Online]. Available: <https://github.com/Reservoir-In-Processor/rip-sim>