

プロセッサの内部状態を活用した高効率リザーバーコンピューティング基盤の創出 — 世界初のReservoir-in-Processor —

浅野 光平 菅 研吾 田中 燦 平山 侑樹

● 背景

- 機械学習モデルの学習に必要な**計算量は増大** → 学習が軽量なりザーバーコンピューティングに期待
 - プロセッサでの予測機構（特に分岐予測）への活用に着目
- 物理リザーバーを利用する場合の課題
 - **通信コストや回路リソースの増加**
 - 特殊な素子や物理系によりリザーバーを構成する場合、**広範な利用が困難**

● 目的

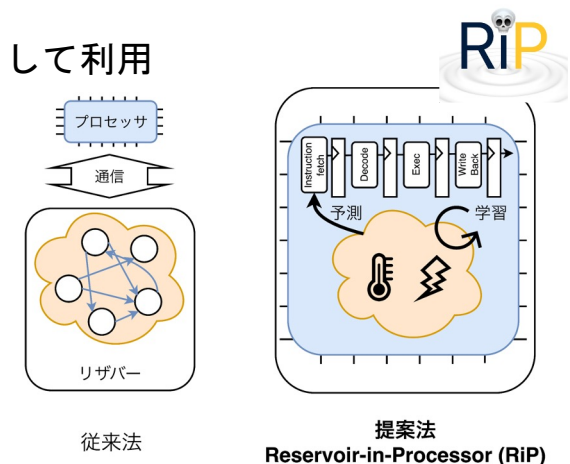
- 高速/軽量/利用しやすい新たな物理リザーバーの開発
- プロセッサの内部状態を物理系として捉え、リザーバーコンピューティングに活用

● 開発成果の特徴

- プロセッサの温度変化をリングオシレータで測定し、物理リザーバーとして利用
- PythonからFPGAを制御可能
- オープンソースの命令セットアーキテクチャRISC-Vを利用
- 実装したプロセッサ/分岐予測器とシミュレータをOSSとして公開

● 解決する課題と社会への影響

- プロセッサとリザーバーが密結合 → **通信コストや回路リソースの低減**
- 開発成果を取り込みやすい土壌 → **さらなる研究開発への波及**



● **成果物の詳細**

- RISC-Vシミュレータ (C++)
 - RISC-VのFPGA実装のために作成
- RISC-Vプロセッサ (SystemVerilog)
 - 5段のパイプラインプロセッサ (RV32IM)
- RiP分岐予測器 (SystemVerilog)
 - リングオシレータ、推論/学習モジュールから構成

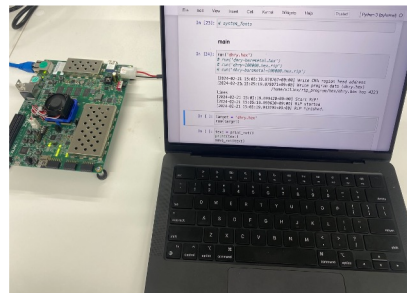
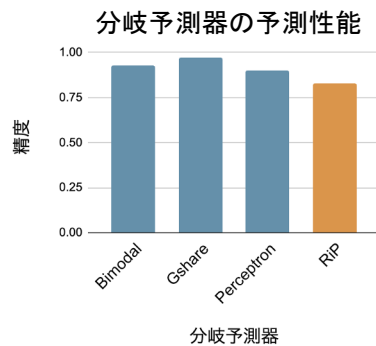
● **成果物の利用手順**

1. ソースコードをVIVADOでコンパイルし、回路情報を生成
2. PYNQを利用し、プロセッサの分岐予測性能をFPGA上で評価

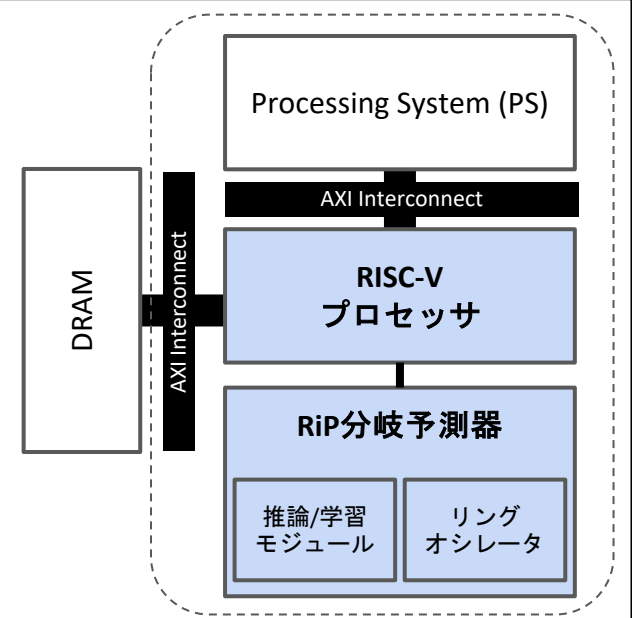
● **性能評価**

- 分岐予測性能をFPGA上で評価
- 比較対象：Bimodal, Gshare, Perceptron分岐予測器
- ベンチマーク：Dhrystone（10000回実行）
- 既存の分岐予測器に迫る性能
 - ハイパーパラメータの調整
 - リングオシレータの配置
 - 分解能の高いセンシング技術の利用

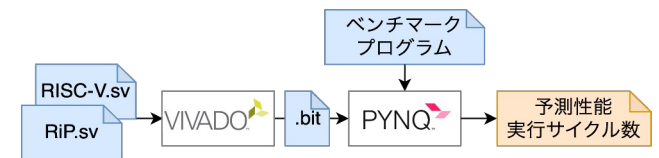
による精度向上を期待



実機上での検証



成果物のブロック図



```
def run(target):
    # Write CMA region head address
    memory.write(reg_mem_head, buf.physical_address)
    memory.write(reg_ret_head, ret.physical_address)

    # Write program data
    set_program_hex(target)

    # Start RiP
    control.write(reg_run, 1)
```

成果物の利用手順