

アプリケーション特化型イジングマシンの設計と FPGA への実装 —カスタムイジングコンピューティングの足掛かり—

1. 背景

2020 年現在、イジングコンピューティング・量子アニーリングは大きな注目を集める技術のひとつであり、本技術に基づいて開発されたイジングマシンは、組合せ最適化問題を効率的に解けるものとして期待されている。ところが、直近の数年間に発表されたイジングマシンは、多様なアプリケーションへの対応が可能な汎用性の高いマシンであるという点を重要視しており、結果的に多くの問題で計算プロセスに冗長性を含み、必ずしも各種問題を高精度に解く段階には至っていない。今後、この点を解消するためには、マシンの設計思想にアプリケーションの観点を取り入れることが必要になってくるものと考えられる。

2. 目的

本プロジェクトでは、アプリケーションの性質を考慮に入れた基底状態探索アルゴリズムを構想し、これを動作原理とするイジング計算機アーキテクチャを設計する。その後、FPGA への実装を通してイジングマシンとして実現するとともに、このカスタマイズされたイジングマシンの有用性を実証する。

3. ソフトウェア開発内容

本プロジェクトでは、組合せ最適化問題をイジングマシンで解く際に頻出の One-hot 制約に焦点を当て、当該制約を含む問題を効率的に解くことのできる基底状態探索アルゴリズムとそのアルゴリズムを効率的に実現するデジタル回路アーキテクチャを設計する。その後、本アーキテクチャにもとづくイジングマシンハードウェアを実装し、ユーザが実利用可能な形式で FPGA 上に実現する。

(1) One-hot 制約に対応した基底状態探索アルゴリズム

組合せ最適化問題を QUBO (Quadratic Unconstrained Binary Optimization) として定式化する場合、 N 種の情報を N 個の二値変数 (0, 1) で表現する場面が頻繁にあり、これにより QUBO のエネルギー関数に One-hot 制約が組み込まれる。既存のイジングマシンの代表的な動作原理である SA (Simulated Annealing) は 1 変数の更新を繰り返し、基底状態を探索する。この更新方法の場合、One-hot 制約を充足した状態から別の制約充足状態に遷移する過程でエネルギーの高い制約違反状態を経由する必要があるため、遷移が発生しにくくなる問題がある (図 1a)。これに対し本プロジェクトでは、常に One-hot 制約を満たすよう変数を更新する「2 変数同時更新 SA」を提案し、制約充足状態から別の制約充足状態への遷移を促進する (図 1b)。

(2) 2 変数同時更新 SA を効率的に実現するデジタル回路アーキテクチャ

2 変数同時更新 SA では、更新対象の 2 変数を選択する際に、(i) ランダムに選択された変数を含む One-hot 制約範囲を特定し、(ii) その範囲から現状態が 1 の変数を特定す

るという追加動作が必要となる。これをソフトウェアプログラムとして実装する場合、図 2 に示すような二方向の逐次探索が必要となるため、これを並列探索可能なデジタル回路として構成することで高速処理することを目指した。具体的には、ランダムに選択された変数にもとづいてその変数が属する変数グループを特定する「範囲特定モジュール」と変数グループ内で現状態が 1 の変数を見つけ出す「変数特定モジュール」を図 3 のように構成している。比較演算を並列に実行するよう構成することで、両モジュールとも 1 クロックサイクル(10 ナノ秒以下)での処理が可能である。

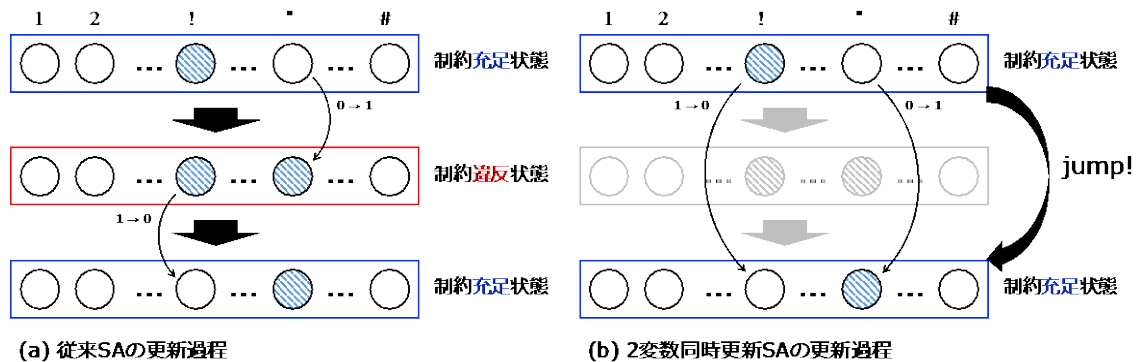


図 1. One-hot 制約を含む変数群の更新

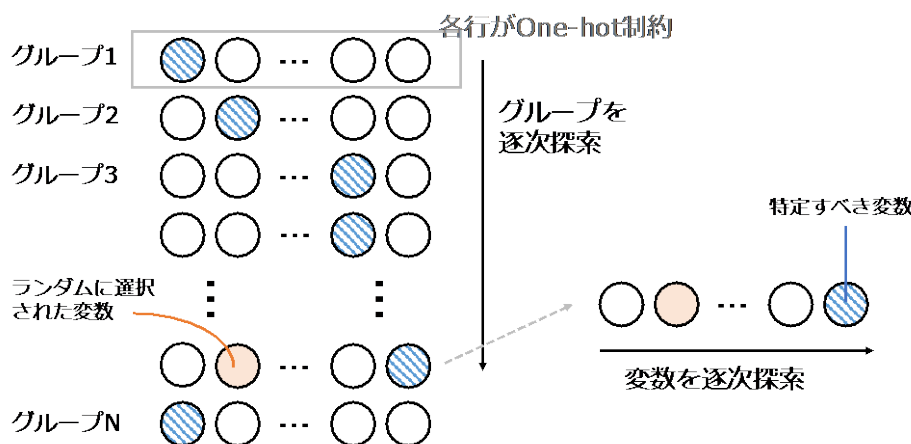


図 2. 2 変数同時更新のための One-hot 制約範囲の特定と現状態が 1 の変数の特定

(3) FPGA への実装

図 3 のモジュールを含む 2 変数同時更新 SA を実現するデジタル回路をハードウェア記述言語 Verilog-HDL を用いて記述し、イジングマシンを構築した。イジングマシンに入力可能なモデルサイズの上限は相互作用係数 16bit、512 変数、全結合または相互作用係数 32bit、256 変数、全結合のいずれかである。本プロジェクトで用いた FPGA ボードは Ultra96-V2 で、これは内部に CPU コアを持ち、この CPU コアを用いてハードウェア設計データの書き込みとソフトウェア・ハードウェア間のデータ送受信が可能である。FPGA 上に実装されたイジングマシンの実行環境として、Jupyter notebook 上で動作する実行用ソフトウェアコードを開発し、実際に正しく動作することを確認した。

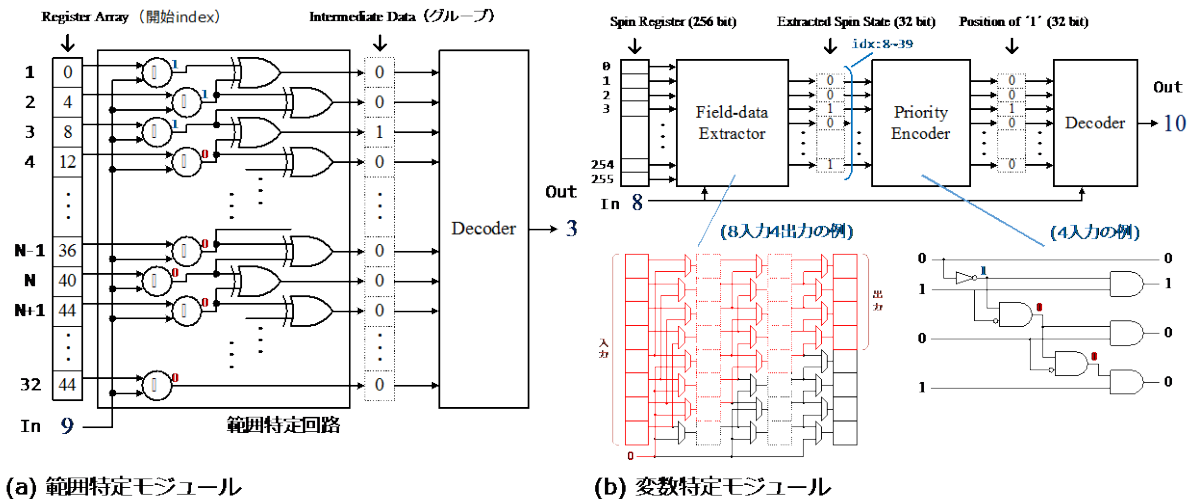
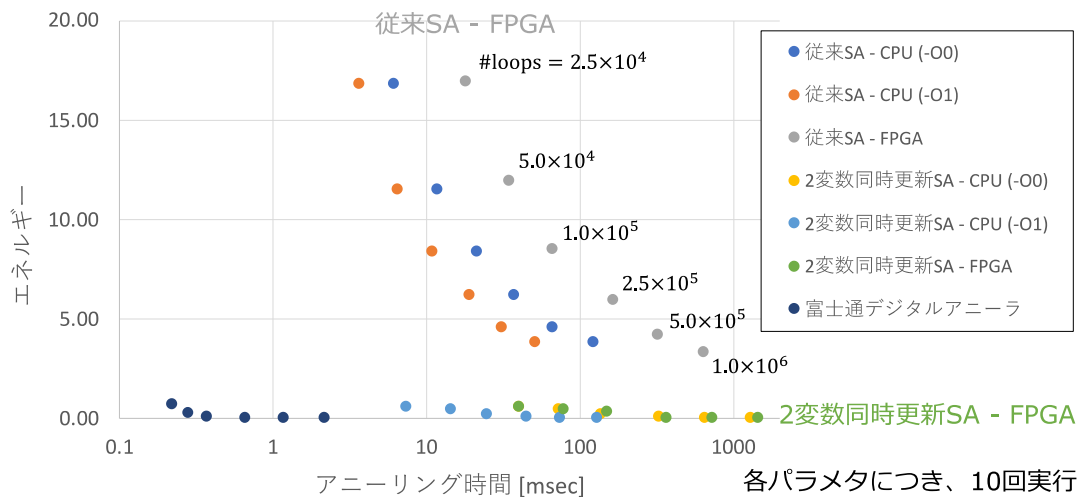


図 3. デジタル回路アーキテクチャ



- CPU : Intel Xeon W-2125 @4.00GHzでソフトウェアプログラムを実行
注) 実装はC++、疎結合モデル用に最適化、コンパイル時オプション : -O0 または -O1
- FPGA : Ultra96-V2に実装されたイジングマシン (16bit、512変数、全結合)
- 富士通デジタルアニーラ (第二世代)

図 4. FPGA イジングマシンの性能評価結果 (93 頂点 5 色のグラフ頂点彩色問題)

4. 新規性・優位性

本プロジェクトにて開発したイジングマシンでグラフ頂点彩色問題 (93 頂点を 5 色で塗り分ける問題) を解いた際の性能評価結果を図 4 に示す。本図はアニーリング時間とエネルギーの関係を示しており、グラフの左下ほど高精度な解を高速に取得できていることを意味する。この結果は、本プロジェクトにて開発した FPGA マシンが性能面で富士通デジタルアニーラや CPU (高性能ワークステーションでの実行) に劣っていることを示す。一方で、幾つかポジティブな側面が見られる結果であるとも言える。

第一に、従来 SA と 2 変数同時更新 SA の結果を比べると、2 変数同時更新 SA の方が安定して低いエネルギー状態への到達を実現している。第二に、FPGA と CPU の結果を

比べると、従来 SA では FPGA のアニーリング時間が CPU の数倍程度であるのに対し、2 変数同時更新 SA ではその差が僅かである。この結果は、追加動作をデジタル回路で実現することの優位性を示している。第三に、本評価に用いた小型な FPGA でも高性能 CPU と遜色ない性能を示す結果となっている。このことから、FPGA ベースのイジングマシンは電力やコストの制約がかかる場面での活用が期待される。

5. 期待されるユーザー価値と社会へのインパクト

従来のイジングマシンが多様な組合せ最適化問題に対応できるよう設計されてきたのに対し、本プロジェクトにて開発したイジングマシンは「One-hot 制約を含む組合せ最適化問題」を解くことに特化して解精度の向上を目指したものである。この考えに基づいて構想した「2 変数同時更新 SA」は従来 SA よりも安定して基底状態を探索可能であり、その事実は図 4 に示す結果から明白である。本プロジェクトが対象とする「特定の性質を持つ問題向けにカスタマイズされたイジングマシン」は、アプリケーションの幅が限定的になる反面、特定の性質を持つ問題であれば高精度に解くことが可能であり、この点において一定の需要があるものとする。特に、One-hot 制約は組合せ最適化問題をイジングマシンで解く際に頻出であることから、イジングマシンを活用した組合せ最適化に取り組む多くのユーザーにとって価値あるマシンになるものと思われる。

現在はクラウドサーバ経由で FPGA を利用可能なプラットフォームが用意されており、FPGA を活用したサービスを提供しやすい環境が整っている。今後は、本プロジェクトにて開発したイジングマシンをオンラインで利用可能な環境を整え、イジングマシンに興味を持つ多くのユーザーに利用してもらうことを目指す。無償で手軽に利用可能なイジングマシンを提供することで、カスタマイズされたイジングマシンの有用性を広めるだけでなく、イジングマシンユーザーの拡大も狙えるものとする。

6. 氏名（所属）

川村 一志（東京工業大学 科学技術創成研究院）

（参考）関連 URL

イジングマシンハードウェアシミュレータ

<https://github.com/kawamura-labwork/SA-HW-simulator>