

QPE-SSVQE 対応を活用した新規量子アルゴリズムの探索 —部分空間に特化した量子アルゴリズム—

1. 背景

近年、量子計算機工学の発展に伴い、数十量子ビットを備えた実機がみられるようになった。今後十年間で既存のスーパーコンピュータが実機の動態を追跡できなくなるという予想も相まって、量子計算機の産業応用への期待感が高まっている。しかし一方で、現状の実機の性能では誤り耐性量子計算を実行できないため、実行可能な量子回路長に制約が存在する。そのため、いかに浅い量子回路で現状の実機の性能を上手く引き出して有用な応用先を見つけられるか、が争点となっている。

こうした潮流の中で提案された部分空間探索変分量子固有値ソルバー (Subspace-search variational quantum eigensolver、以下 SSVQE) は、量子計算機上での発見的変分最適化に基づき、与えられた化学系の低励起固有部分空間を探索する量子アルゴリズムである。

2. 目的

本プロジェクトは、SSVQE の「部分空間を変分探索する」という性質に着目し、量子化学計算分野におけるさらなる応用法の提案や他分野への転用法の考案を目指すものである。

3. ソフトウェア開発内容

(今回開発したソフトウェアで解決する課題、動作環境、構成、機能等を、図等を使用して記述)

本プロジェクトでは、量子化学計算と量子最適制御という二つの分野において、それぞれ SSVQE に基づく新規手法を提案した。また量子情報実験支援ツールをその実機実装を行った。まず、新規手法の内容について個別に示す。

一つ目の新規手法は、現状の量子計算機上に実装可能な制御時間発展法の考案である。

採択者は未踏ターゲット以前に SSVQE の応用として実機で実現可能な時間発展法を提案した。同手法の概念図を図 1 に示す。上記手法では、固有基底の重ね合わせ状態を SSVQE の収束時の変分量子回路の逆回路によって計算基底に転写し、計算基底上で固有エネルギーに対応する位相回転を加えたのち、SSVQE の収束時の変分量子回路を作用して固有基底に戻すことで時間発展した状態を生成して

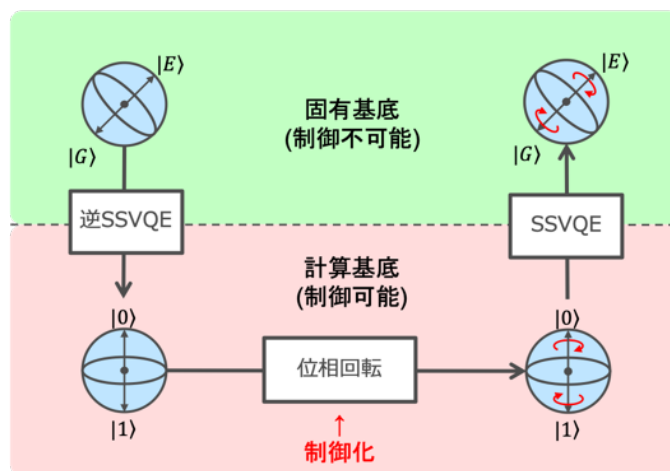


図 1：制御時間発展の概念図

いた。つまり、時間を進めるのは位相回転部分である。本プロジェクトでは、位相回転部分を制御位相回転で代替することで、時間発展の制御化を試みた。

次に、制御化された時間発展を量子回路シミュレータ Qupy 上に実装した。実装された制御時間発展を用いて、3サイトの横磁場イジングモデルにおける低励起状態に対する Loshmidt echo 呼ばれる時間相関関数をシミュレートしたのが図2である。ここで、従来手法を用いて計算した理論値を表す黒線と、本手法を用いてシミュレートした結果を表す赤点・青点とがよく整合していることがわかる。この時、実装に用いた量子回路は 10 個しか2量子ビットゲート(CZ)を含まない。以上から、既存手法と比較して実機上での実装性が向上した新規制御時間発展法を提案・実装した。

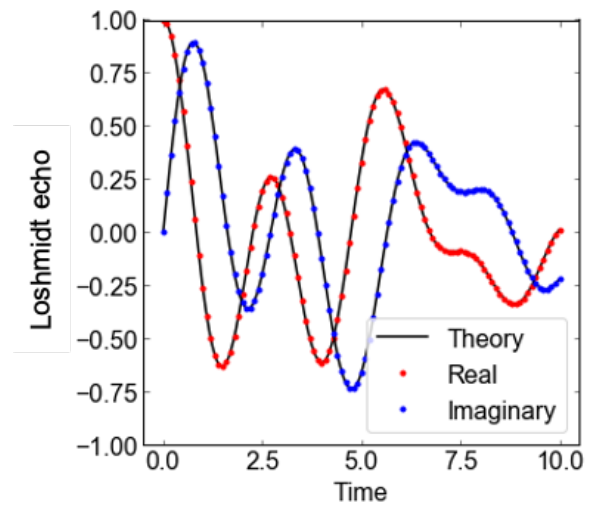


図 2：Qupy を用いた数値計算

二つ目の新規手法は、量子ゲート性能評価実験の高速化である。

性能評価実験の高速化は二つの高速化ギミックからなる。

高速化ギミック①は量子ゲートの入出力に制約を加えることである。例えば、量子誤り訂正符号における論理量子ゲートなどは、各論理部分空間内でのみ動作し、それ以外で動作することを求められない。こうしたタイプの量子ゲートに対しては、

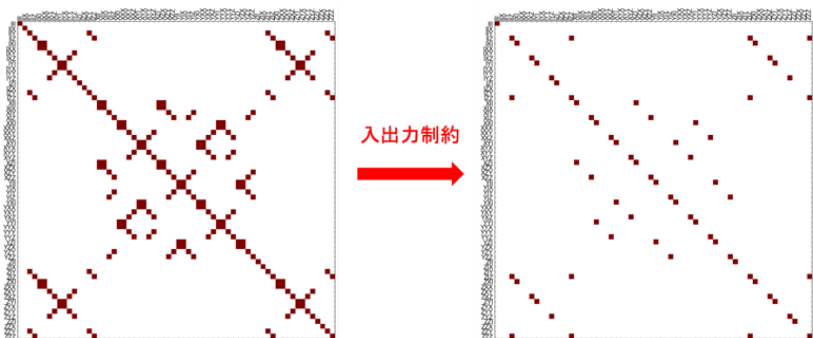


図 3：入出力制約の具体例 (Toffoli ゲート)

量子ゲートの入出力に制約を設ける操作が正当化される。また入出力を制約することで量子ゲートの性能評価に必要な実験回数を減らすことができる。具体例として、目的量子ビット状態の入出力が計算基底状態であるという制約を Toffoli ゲートに加えた際の、性能評価に必要な実験回数の変化を図 3 に示した。図中の色付ブロックの一個一個が実験に対応しており、入出力を制約することで、明らかに要素数が削減されていることがわかる。

高速化ギミック②は最小 Clique 被覆を用いた性能評価実験の最適並列化である。最小 Clique 被覆とは、与えられた無向グラフの中を最小の数の全結合な部分グラフ(=クリーク)で分割する手法である。量子ゲートの性能は通常複数回の異なる

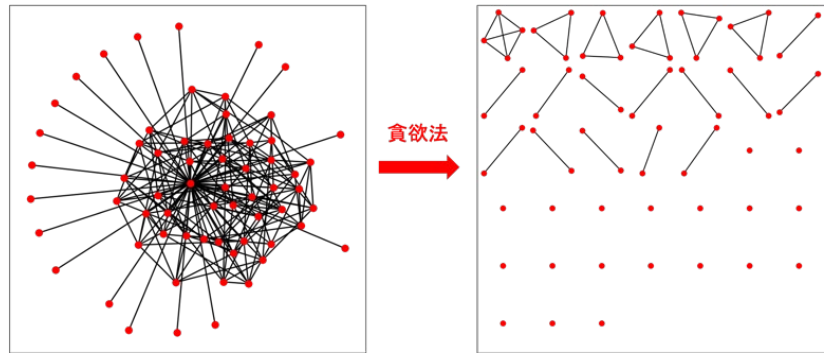


図 4： 入出力制約の具体例 (Toffoli ゲート)

種類の実験結果を事後統計することで評価される。ここで、各実験をノードとし、同時に並列実行できる実験同士をエッジで繋いだグラフを考える。同グラフにおいて、全結合な部分グラフはたった一回の実験によって全て並列実行可能である。したがって、最小 Clique 被覆を用いることで、量子ゲートの性能評価に必要とされる実験を最適並列処理し、その回数をさらに減らすことができる。最小 Clique 被覆問題は NP 困難問題として知られるが、貪欲法をはじめとした近似解法は現実的な時間で実行可能である。実際に [5,1,3]-符号論理ビット反転ゲートと呼ばれる量子ゲートの性能評価実験に対し、上記手法を用いた最適並列化処理を実行した結果を図 4 に示す。ここで、図中で複雑に結合した性能評価実験を意味するグラフが、それぞれクリークに分解されていることがわかる。ここで、本来あったノード数と比較して、分解されたクリークの数と並列化した分だけ少なくなっており、したがって性能評価に必要とされる実験回数が減っていることがわかる。

以上で二つの新規手法について詳細を示した。次に、本プロジェクトにおいて開発した量子情報実験支援ツールについて示す。

本プロジェクトでは、上記した量子ゲート高速性能評価をはじめとした基本的な量子情報実験の支援を行うツールを開発した。本ツールの構成は pyGSTi という特定の実験をサポートした実験支援ツールを参考にし、python で記述されている。本ツールは大別して実験計画発行器・実験実行器・実験結果解析器の三つの要素からなる。実験計画発行器は所望の実験を個別の測定事象に分解し、測定事象ごとの実験設定が記載されたジョブを生成する。ジョブはキューで管理される。実験実行部はキューで待機しているジョブを逐次的に開き、ジョブに記載された実験設定を読み込んで測定を遂行する。測定結果はデータセットにジョブとの対応関係を踏まえて保存される。実験結果解析部は各ジョブと対応する測定結果から、解析を実行し、実験結果をまとめたレポートを発行する。本ツールでは、本プロジェクトで新規に提案した量子ゲートの高速性能評価実験およびそれを応用した量子ゲート高速最適化実験をデフォルトで備えている。実験実行時の処理を図 5 に示す。

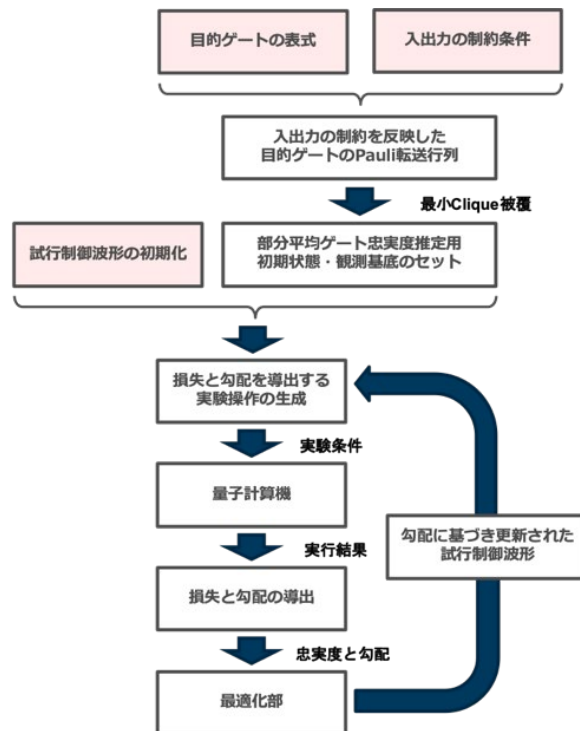


図 5：ソフトウェアの動作機序

4. 新規性・優位性

(今回開発したソフトウェアの新規性、類似のものと比較した場合の優位性等を記述)

一つ目の成果、実機上に実装が容易な制御時間発展について。従来の鈴木-Trotter 分解を応用した方法で制御時間発展を実装する場合と異なり、本手法ではシミュレートする化学反応時間が伸びても量子回路長が長くないため、現状の実機上での動作性に優れる。

二つ目の成果、量子ゲートの性能評価の高速化について。既存手法である直接忠実度推定と比較して、本手法は数～数十倍の高速に性能評価できる。(例えば、 $[5, 1, 3]$ -符号論理ビット反転ゲートの場合、27 倍高速化)

5. 期待されるユーザー価値と社会へのインパクト

(今回開発したソフトウェアをユーザーが利用することによって得られる価値、及び、利用が拡大することで活性化される産業分野・技術分野等の範囲やその効果を可能な限り具体的、定量的に記載)

制御時間発展を用いると、時間発展した状態としなかった状態との重ね合わせ状態を同時に存在させることが可能である。これを応用することで、一般化グリーン関数などのような化学的に重要な性質を含む時間相関関数を効率的に推定することが可能となる。

量子ゲートの性能評価が高速化することで、量子最適制御を集積系開発の中で頻用することが現実的となる。結果として、量子ゲート忠実度の改善に繋がり、今後の量子計算機工学分野の発展を加速するものであると期待している。

6. 氏名（所属）

部谷 謙太郎（東京大学大学院 工学系研究科物理工学専攻）