

# FPGAによる量子コンピュータシミュレータシステムの開発

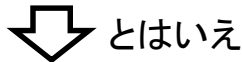
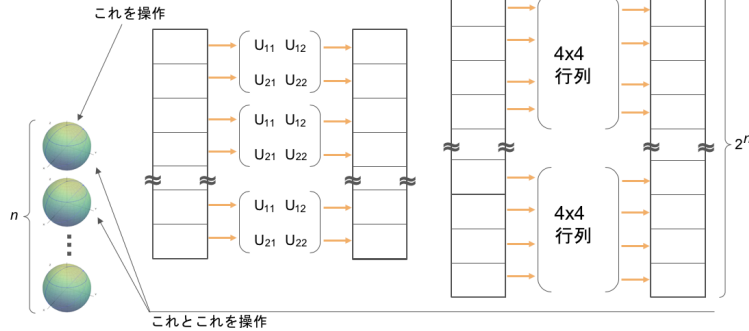
三好 健文 (わさらぼ合同会社)

量子コンピュータのシミュレーションの  
高速化・大規模化・高精度化が求められている

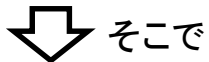


量子コンピュータのシミュレーションでは、  
量子ビット数がn倍で、時間もメモリも $2^n$ 倍に

$n$ -qubitによる $2^n$ 個の確率振幅に対する行列計算



プロセッサを集めればよいというわけではない  
← プロセッサ間の通信ボトルネック  
← メモリアクセスの局所性でスケールしない可能性



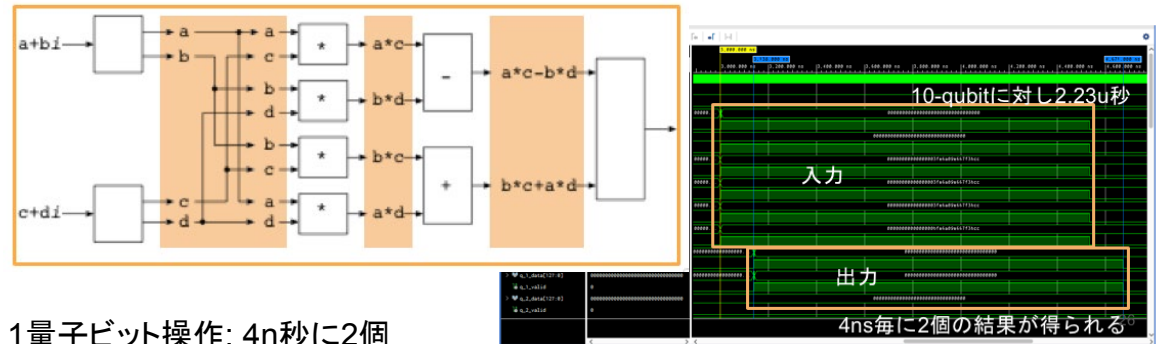
量より質への転換: シミュレータ用アーキテクチャ  
FPGAでカスタムHW化するメリットがあるのでは？



専用ロジックならではのアーキテクチャを検討・実装  
→ メモリ帯域性能によりCPU/GPUには及ばず  
→ 高性能化・大規模化・高精度化への展望を検討

量子コンピュータシミュレーション用のパイプライン演算ユニットを設計

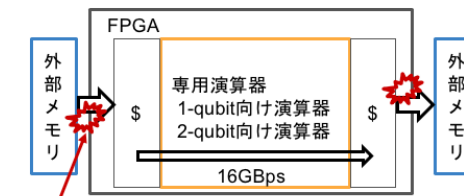
パイプライン動作する複素数演算器のツリーを設計



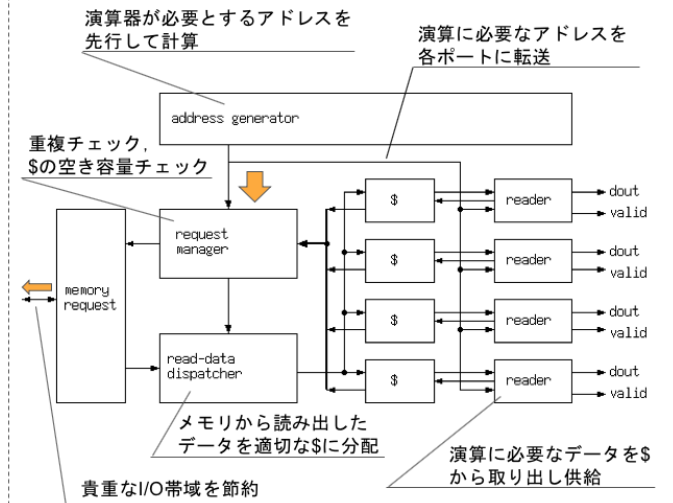
1量子ビット操作: 4ns秒に2個  
2量子ビット操作: 4ns秒に4個の確率振幅を計算

演算カーネルを間断なく動作させるアドレス生成・アクセス機構を設計

予測しづらいメモリアクセスパターンに対処可能なプリフェッチ・キャッシュ機構

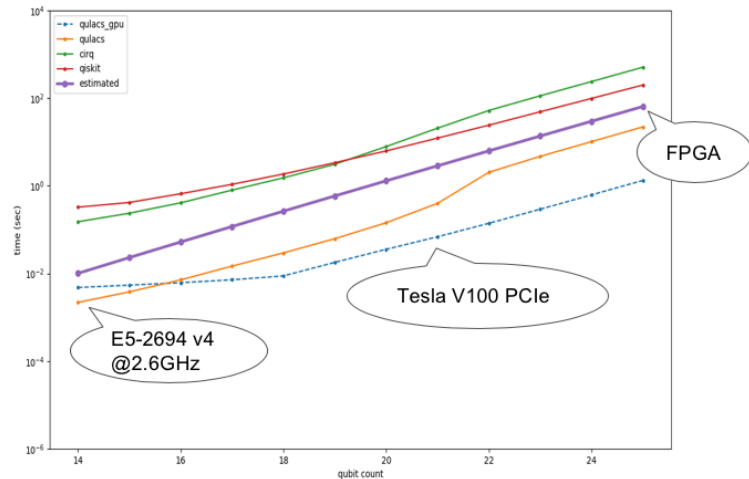


(1) 余裕はない (2) パーストアクセス必須



## 1ユニットをFPGA上に実装した場合の性能見積もり

メモリ帯域ボトルネックでFPGAには1ユニットが限界  
 → 汎用プロセッサやGPUには及ばない結果となった

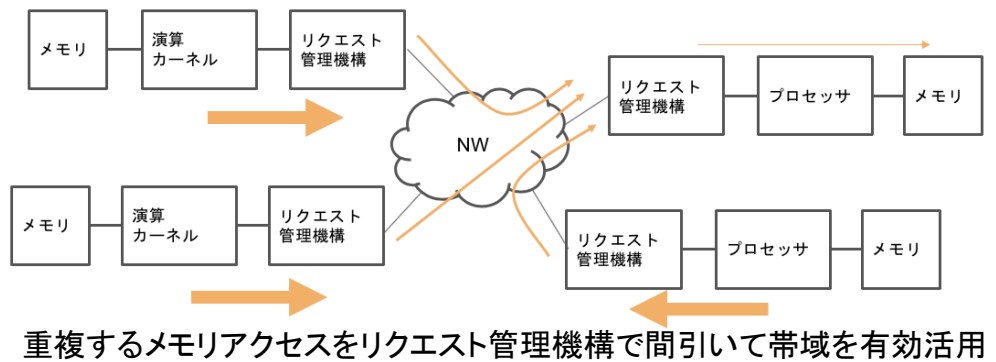
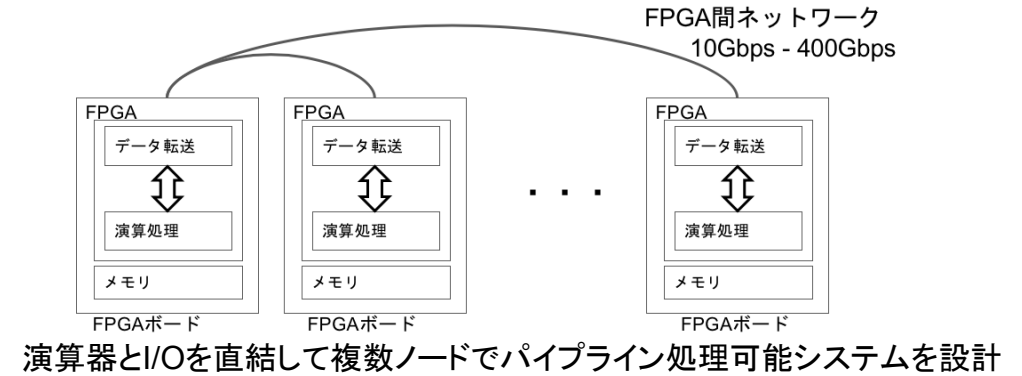


<https://github.com/qulacs/qulacs> とFPGA実装の予測値(estimated)を比較

## 大規模化への展望

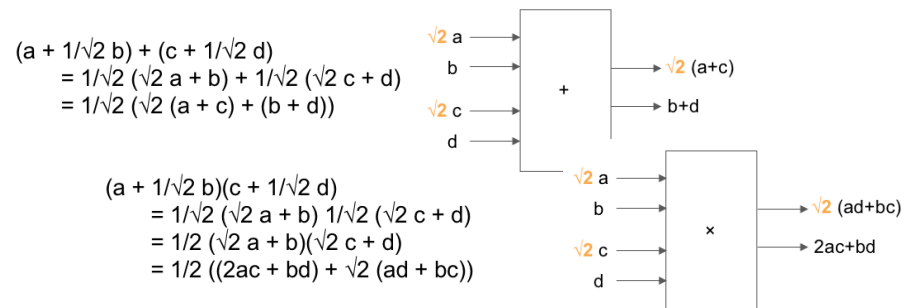
FPGAでは演算とI/Oを直結できるため限られた帯域の有効活用が可能  
 + アドレス生成・アクセス管理機構でノード間通信の最適化が狙える

I/Oと演算を直結できることの活用



## 高精度化への展望

FPGAならではの特殊演算器の実装で処理性能を維持しながら  
 高精度のシミュレーションができる可能性(ex.  $\sqrt{2}$ 演算器の実装)



浮動小数点数演算と同じスループットで処理可能

## 高速化への展望

HBM搭載FPGAを使って複数ユニットをFPGAに実装  
 対象量子ビット数を大きくして演算密度を高くする

