

1. 担当 PM

竹迫 良範（株式会社リクルート データプロダクトユニット ユニット長）

2. クリエータ氏名

井阪 友哉（奈良先端科学技術大学院大学 先端科学技術研究科博士前期課程）

3. 委託金支払額

2,736,000 円

4. テーマ名

HDC アクセラレータと RISC-V を組み合わせたエッジサーバの開発

5. 関連 Web サイト

なし

6. テーマ概要

本プロジェクトでは超次元計算（Hyperdimensional Computing、HDC）に特化したプログラマブルなアクセラレータを提案し、実際の CPU と協働させることで様々な認知タスクを高速かつ低消費電力で実行可能にした。HDC は、数千から数万次元のベクトルの Hyper Vectors（以下、超次元ベクトル）を用いた計算モデルであり、様々な認知タスクに応用可能と言われている。超次元ベクトルに対しての独自のベクトル演算が定義されており、バイナリの超次元ベクトルとして応用することでコンピュータからも扱いやすくなる。そして、超次元の特性により入力されたデータに対してロバストであることや、回路を最適化することで HDC アルゴリズムの高速化がしやすいことや、その小型化による省電力化が行えることなど様々な恩恵を期待できる。

7. 採択理由

自作の RISC-V プロセッサの ISA を拡張し、HDC のハイパーベクトルを効率的に処理できるハードウェアを新しく開発する提案である。

HDC は 1990 年代に高い次元性とランダム性に依存する認知モデルの概念として提唱されたが、1950 年代に登場した深層学習と比べると比較的新しい技術

で歴史が浅い。そのため、HDC は未だ学術界隈で研究されるに留まっており、実際に高速性と低消費電力が実現できるハードウェアの開発や、世の中の様々な分野の開発者がそれぞれの分野の認識問題の課題を HDC を活用して解くまでに至っていない。最近、別の分野では RNN の一種である Reservoir Computing (RC) が注目されており、物性デバイスとの実現性の相性の良さから、ハードウェアの試作やエッジ IoT デバイスでの応用の概念実証実験が進みつつある。

提案者が HDC を利用するための環境やツールチェーンの基盤を整備することによって、世界中で HDC アルゴリズムの検証や HDC システムのプロトタイプが作りやすくなり、HDC の有効性が検証され、HDC の今後の普及と発展につながることを期待したい。

8. 開発目標

本プロジェクトは開発者が簡単に HDC を使ったアプリケーションの開発ができる環境を整備し、HDC の優れた点を活用したアプリケーションの普及を促進することを究極的な目標とした。HDC には独自のベクトル演算が定義されているため、超次元ベクトルを十分に高速に実行するには様々な工夫やチューニングが必要になる。そのために、既存のものよりも使い勝手の良い CPU と協調動作可能な HDC アクセラレータ (Hyperdimensional Computing Processor Unit, HPU) とそのアセンブラやライブラリ、そして、それらを使った実用例を成果物として開発することを目標とした。開発したアーキテクチャやライブラリを使って、様々なアプリケーションを実装することは、HPU の使い方や実用例を示すことで実際に HDC をアプリケーションへ応用することを開発者に強く勧める効果が期待でき、本プロジェクトが中長期で実現したい世界観の目標の到達にも繋がる。

9. 進捗概要

本プロジェクトでは、最終的に以下の 4 つの開発を進めることができた。

- (1) HDC アクセラレータの開発
- (2) HDC アクセラレータを活用したエッジサーバの開発
- (3) 開発者向けライブラリの開発
- (4) 応用的なアプリケーションを開発し実用可能性を検証

1 つ目の HDC アクセラレータの開発に関しては、図 1 で示すような、HDC 独自の演算である 3 種の演算 (Bind、Bound、Permutation) 全てに対して高速に処理できる演算器を実装したアーキテクチャの開発に成功した。

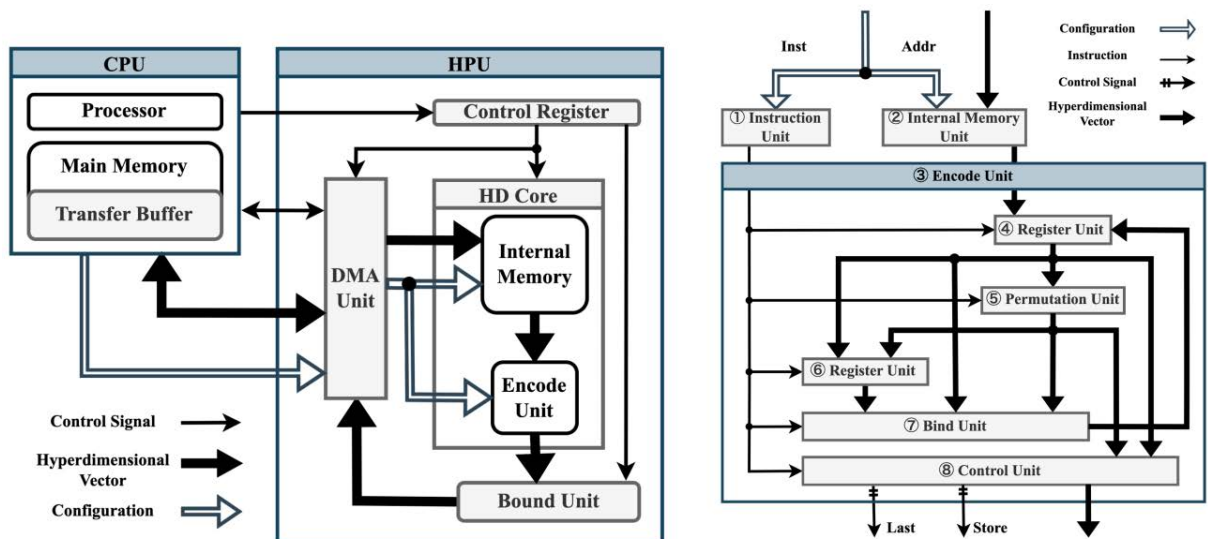


図 1 : 開発した HDC アクセラレータのシステム構成図

2つ目のエッジサーバは図 1 の左側で示すように、CPU と協調動作するアーキテクチャとして開発した。このアーキテクチャにより HDC アクセラレータの応用先が広がる。本 HPU は CPU と協調動作可能であるため、エッジサーバとして応用可能なだけでなく、IoT デバイスや一般消費者向けの CPU と協調動作できることを目指した設計となった。

3つ目の成果として、C 言語を使って簡単に CPU からの実行ができるようなライブラリの開発も成功した。これにより、ユーザはライブラリを使用すれば関数形式で CPU から HPU に指示を出すことも可能となった。

4つ目の最後の実用可能性の検証には、既存の論文で紹介されている手法を使った画像認識・音声認識・言語認識のアプリケーションを開発し、本アクセラレータを搭載した低消費電力向け CPU で実行速度を計測した。いずれの結果でも M1 Max (3.00GHz)、Intel Core i7 (1.80GHz)、ARM-v7 Cortex-A9 (0.666GHz) と比較した場合、大幅な速度改善が確認され、最大で 169 倍の高速化に成功した。また、電力効率を示す指標の一つであるエネルギー遅延積 (ED 積) は最大 13,469 倍も改善した。それぞれの認識タスクにおける各 CPU との速度比較のグラフは図 2 の結果となった。以上の結果より、周波数で圧倒的に優っている汎用的な CPU と比較しても、HDC プロセッサが最も高速に HDC タスクを実行できることを示しており、HPU の実用性をアピールすることができた。

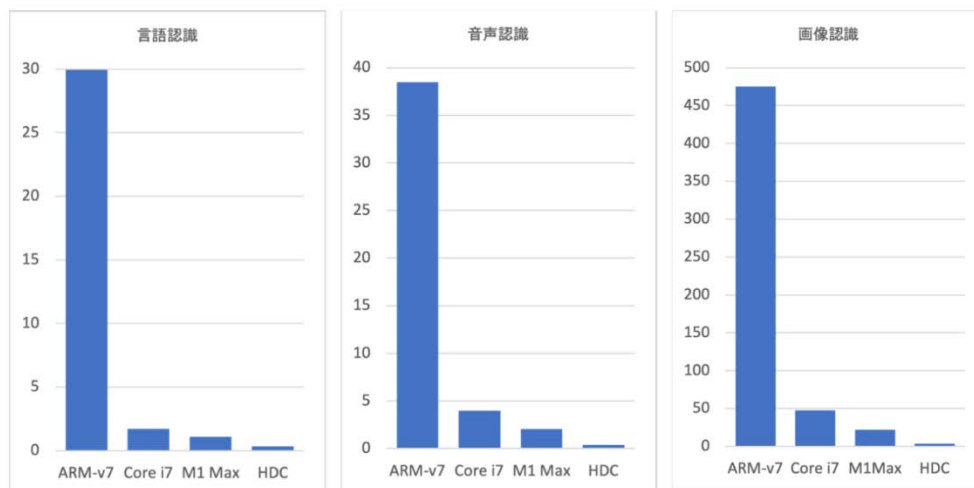


図 2 : アプリケーションテストにおける速度比較

10. プロジェクト評価

なかなか一般的に知られていない HDC に着目し、実際に Zynq 開発ボード上で FPGA の回路を設計し、消費電力当たりで圧倒的に高い計算効率性能を出すことができた。実際の文字認識・音声認識の応用タスクの定量的な評価比較もできており、十分な結果を出したと評価できる。従来の HDC の技術としては、CPU を使った実装や、IoT 向けに開発された HDC アクセラレータ、そしてプログラマブルな HDC 計算基盤などがあった。しかし、これらは表 1 でまとめるように「計算速度」「電力効率」「プログラマビリティ」「CPU と協調動作可能か」という観点から評価すると、どこかに課題が存在していた。本プロジェクトが開発した HPU はこれらの課題を包括的に解決しており、さらにその速度や電力効率を定量的に評価することで実用性へのアピールもできた。今後の学術的な研究への利活用も大きく期待できる。

表 1 : 既存の HDC 実装との比較

	速度	電力効率	プログラマビリティ	CPUとの協働性
CPU	×	×	◎	—
HDCアクセラレータ	◎	◎	×	×
プログラマブルな HDC計算基盤	—	○	○	×
HPU	○	○	○	◎

11. 今後の課題

プロジェクト期間中に IoT のエッジデバイスの開発者と HDC に関するアルゴリズムの研究者に活用してもらうことまでには至っていない。今回の成果を広めることができれば、これまでよりも手軽で高速に HDC を実行できるように

なるため、HDC アプリケーションの研究者や開発者は実験や開発に必要な試行錯誤のサイクルを大幅に改善できるようになる。また、今回は FPGA で実装したが、ASIC 化、つまり HDC アクセラレータに必要な機能のみを組み合わせるチップを製造することで、チップ単価が安くなり、消費電力も低減し、熱対策の改善などが可能となる。