

ハードウェア自身を再構成する数値計算アクセラレータ用コンパイラの開発

1. 背景

本プロジェクトの目的は内部回路を書き換え可能なFPGAを用いた再構成型数値計算アクセラレータ用のコンパイラを開発することである。再構成型数値計算アクセラレータは問題毎にアルゴリズムをハードウェア化して実行できるため、汎用計算機に比べて優れた計算性能を発揮することが可能である。しかし、プログラミングには論理回路構成法、計算機アーキテクチャ、OS、デバイスドライバなどに関する広範囲な知識が必要になるため、再構成型数値計算アクセラレータは限られたユーザにしか使われていない。

2. 目的

プログラミングで専門知識を特に必要とするのは 1) ハードウェア記述言語(HDL: Hardware Description Language)によるFPGA内部回路のプログラミング。2) C言語によるビットレベルエミュレータのプログラミング。3) C言語による通信用APIのプログラミングである。幅広いユーザが再構成型数値計算アクセラレータを使えるようにするには、これらの3つのプログラミング作業を専門知識がなくても済ませられるようにしなければならない。

3. 開発内容

本プロジェクトでは、簡単なデータフロー記述から、HDL、エミュレータ、APIを出力するコンパイラPGR(Processors Generator for Reconfigurable systems)を開発した(図1)。PGRを使うことで、ユーザはデータフローを記述することに集中できるようになる。データフロー(PGDL: PGR Description Language)を作成した後は、4個程度のコマンドを実行するだけで、FPGAへ回路をロードすることができるようユーザインタフェースを工夫している(図2)。

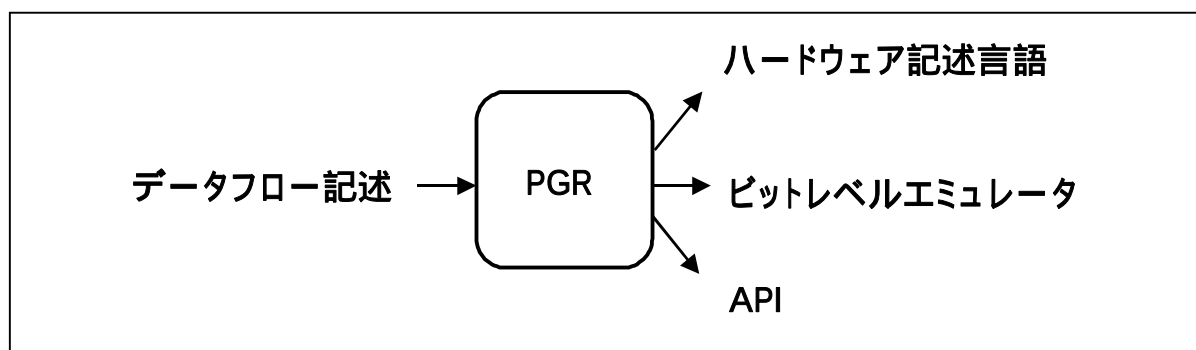


図 1. PGR による設計フロー

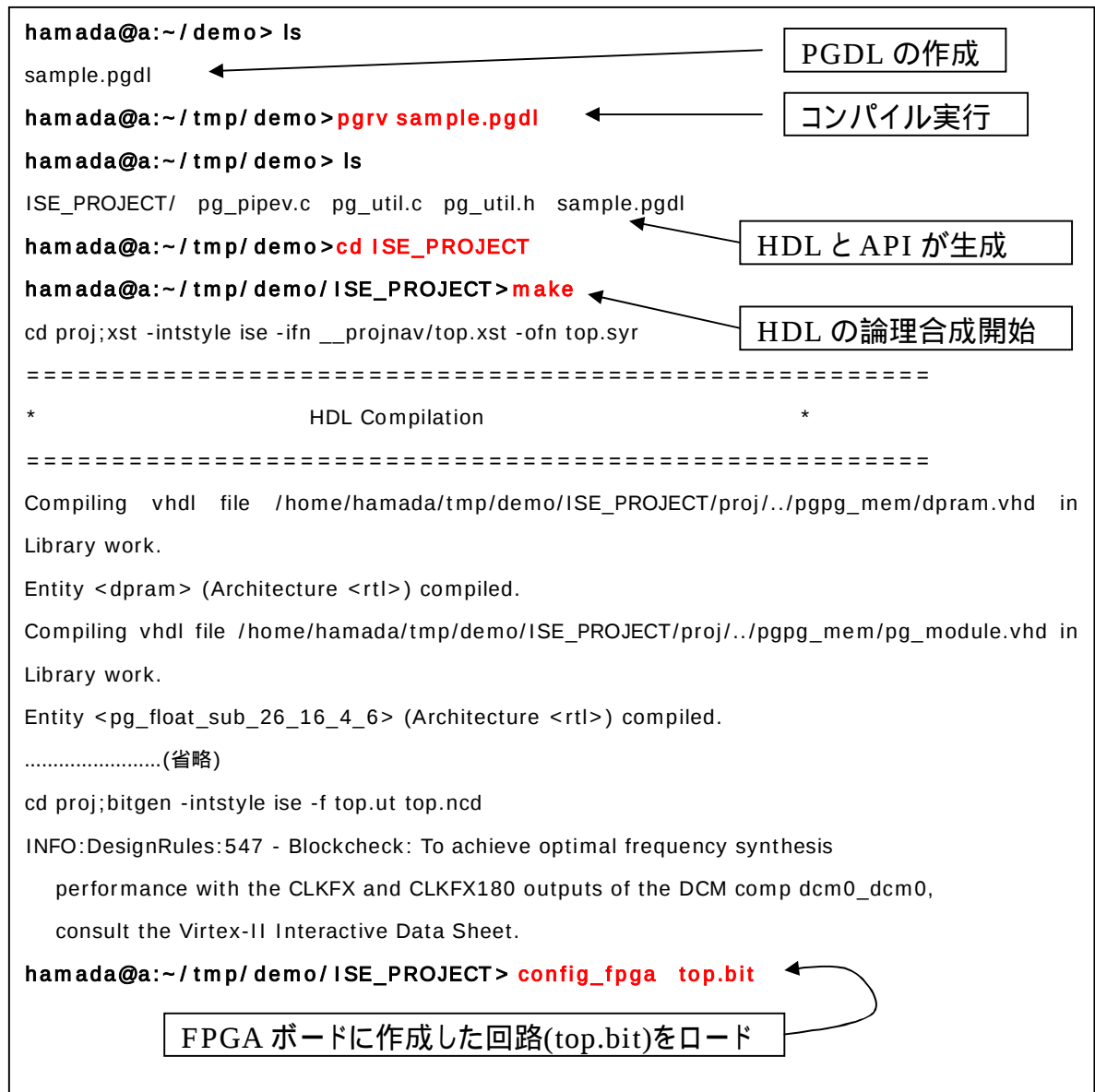


図 3. PGR によるコンパイルから FPGA 回路ロードまでのコマンド操作

最終的には、各種浮動小数点演算が使えるデータフロー記述用言語 PGDL(PGR Description Language)を開発し、HDL、エミュレータ、API を出力する PGR コンパイラを開発した。また、PGR の応用プログラミングを行い、数十行程度の PGDL 記述から多体シミュレーション加速用回路 (324Gflops)、流体相互作用加速用回路 (49Gflops)を実装することができた。これらの性能は FPGA による数値計算用ハードウェアとしては世界的に超越した性能であり、PGR が画期的なシステムであることを示すことができた。

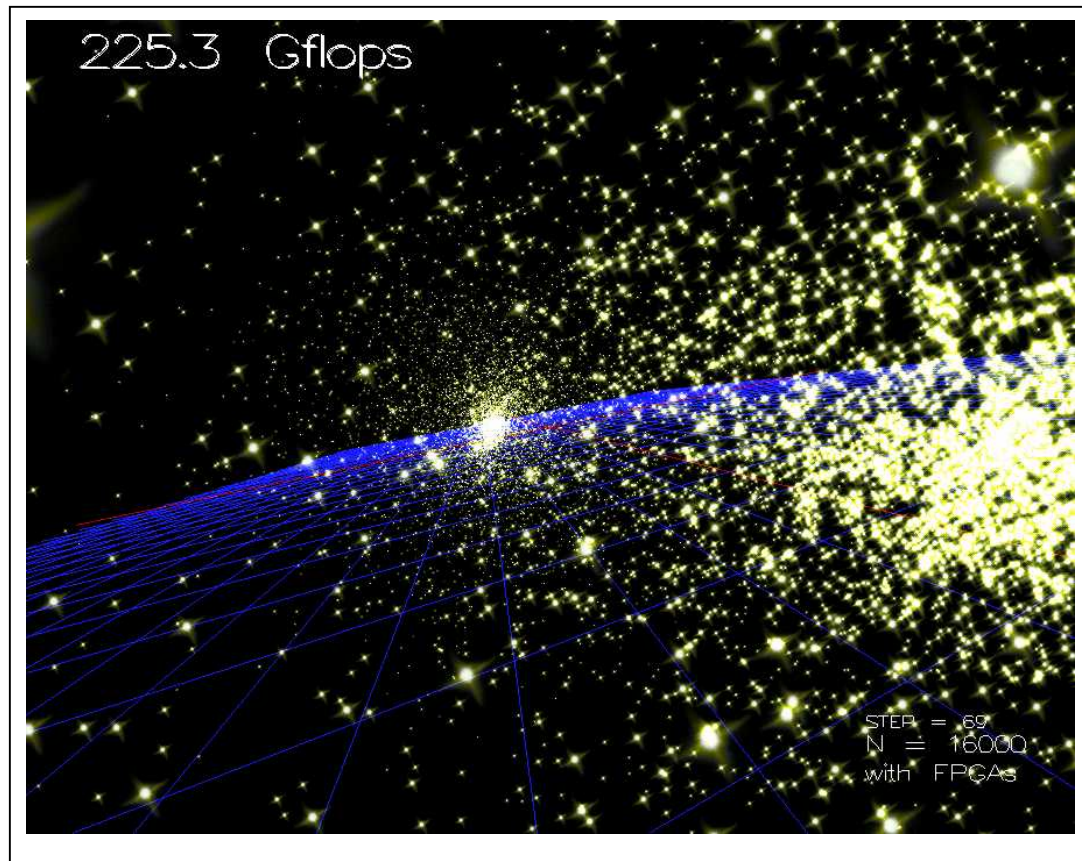


図 2. PGR を利用して作成したベンチマークアプリケーションの実行画面

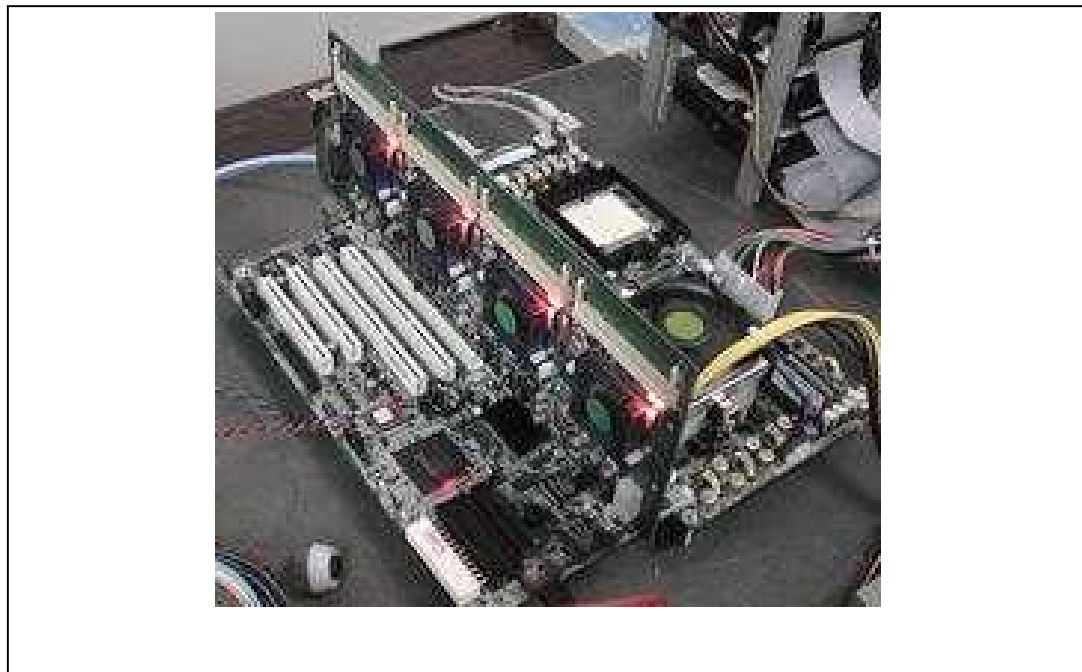


図 3. PGR 実行環境 (Opteron と FPGA4 つからなるデスクトップ PC)

4. 従来の技術(または機能)との相違

従来の FPGA 設計環境は、ハードウェア設計に関する詳細な知識が必要なため、LSI 設計者がよくても組み込みシステム設計者しか利用できなかった。本プロジェクトで開発した PGR はハードウェア設計に関する知識を一般的には持っていない応用数値計算を行う物理化学研究者が FPGA の設計を行うことを可能にしている。

5. 期待される効果

これまで応用数値計算分野ではFPGAを使った高速計算システムを利用することが難しかった。PGR はいくつかの応用数値計算分野で FPGA を使った高速計算システムの利用を促進すると期待される。そして、これまでベクトル計算機、超並列計算機を利用するしか方法が存在しなかった応用数値計算分野に革命を起こすほどのインパクトを与えるはずである。

6. 普及(または活用)の見通し

本プロジェクトでは PGR を一通り完成させ、東京エレクトロンデバイス製 FPGA ボードで動作している。現在はこのボードを所有する天体物理研究室で PGR が実際に利用されている。今後は PGR を他の FPGA ボードへ移植するとともに、低価格な FPGA ボードを開発し、より一般的なユーザが PGR を利用できる環境を整備する必要があると考えている。

7. 開発者名(所属)

濱田 剛 (独立行政法人理化学研究所 戎崎計算宇宙物理研究室)

(参考)開発者URL: <http://progrape.jp/pgr/>
