

# 高速通信コプロセッサの実現

Toward the Development of a Broadband-Communication Co-Processor

島田 道雄<sup>1)</sup> 鈴木 寿<sup>2)</sup>

Michio SHIMADA Hisashi SUZUKI

- 1) 株式会社 機械学習研究所 (〒229-1131 神奈川県相模原市西橋本 5-4-21 さがみはら産業創造センター315号室 E-mail: mshimada@ML-LABO.com )
- 2) 中央大学 理工学研究所 (〒112-8551 東京都文京区春日 1-13-27 E-mail: suzuki@ise.chuo-u.ac.jp )

**ABSTRACT.** This paper describes the design and performance of the Fast Viterbi Decoder using VHDL and FPGAs. The decoder works well over 50Mbps of data rate on the FPGA in which an over 100K logic gates circuit can be implemented. The experimental results obtained are promising the development of a software programmable broadband-communication co-processor based on the decoder.

## 1. 背景

デジタル信号(情報系列)を無線で送信する場合には、誤り訂正符号化装置を用いて、送信する情報系列に冗長ビット系列を付加して符号系列を生成し、得られた符号系列を、変調して送信することが行われる。そのようにして送信された信号を受信して、元の情報系列を復元するには、図1のように、誤り訂正復号化装置を用いて、受信された信号系列に対して、送信された可能性(尤度や尤度と呼ばれる)の高い情報系列を選び出すことが行われる。そして、そのような誤り訂正復号化装置として、Viterbi Decoderがある[1]。

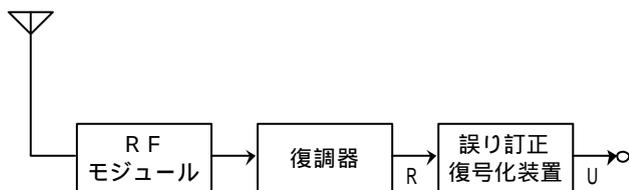


図1. デジタル無線通信受信装置の基本構成

Viterbi Decoderは、性能の良い誤り訂正復号化装置であったため、古くから衛星通信やNASAの宇宙探査で使われてきたが、半導体技術の進歩に伴って装置コストが低減したため、近年、CS放送やデジタルBS放送でも使われるようになってきた。2003年にサービス開始が予定されているデジタル地上波TVの受信機でも、Viterbi Decoderが使われることになっている。

しかしながら、日本のデジタルTVで用いられている拘束長  $k=7$  の Viterbi Decoder は、多くの演算量・演算回路を必要とする。なぜなら、拘束長  $k=7$  の Viterbi Decoder においては、 $2^{k-1}$  個=64 個の尤度  $M$  の中から最大の尤度を与える情報系列(パス)  $C$  を求めなければなら

ないのだが、そのために、図2のような回路(注: 図は  $k=5$  の場合)が用いられてきたからである。図において、比較選択回路は、 $M(i)$  と  $M(j)$  の大きさを比較して、 $M(i) > M(j)$  なら  $(C(i), M(i))$  を出力し、さもなければ  $(C(j), M(j))$  を出力する(ここで、 $C(i)$  は、 $i$  番目のパスを示すコードで、一般に  $C(i) = i$ )。

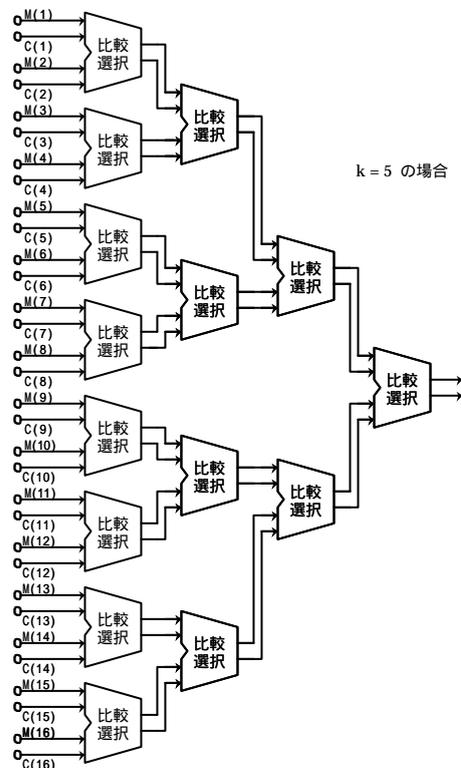


図2. 従来のViterbi Decoderの最大値探索回路

このため、Viterbi Decoderを、回路規模の制約が厳しい

フィールド・プログラマブル・ゲートアレイ (FPGA) に搭載したり、消費電力の制約が厳しい携帯機器に搭載することは困難であった。幾つかの高速 Viterbi Decoder が過去に提案されているが[2]、大容量のメモリを必要としたり、符号化利得を犠牲にして高速化するものであったので、応用範囲が限られていた。また、専用のハードウェアで Viterbi Decoder を実装しないと十分な速度が得られなかったため、ソフトウェア・プログラマブルな高速無線通信装置を実現することが困難であるという問題もあった。

## 2. 目的

そこで、符号化利得を犠牲にすることなしに、従来の Viterbi Decoder より小規模な回路で高速に動作する新しい高速 Viterbi Decoder を考案し、それを実装して、特性を評価することにした。

回路規模の制約が厳しいフィールド・プログラマブル・ゲートアレイ (FPGA) に搭載したり、消費電力の制約が厳しい携帯機器に搭載できるような高速 Viterbi Decoder が開発できれば、FPGA 用の IP コアとしての需要や、新しい携帯機器のキー・デバイスとしての需要が期待される。さらには、処理速度の余力を生かすことによって、ソフトウェア・プログラマブルな高速無線通信装置が実現できる。

## 3. 確率的なアルゴリズム

Viterbi Decoding のような基本的なアルゴリズムは、考案済みだと思われるが、このため、符号化利得を犠牲にすることなしに、従来の Viterbi Decoder より小規模な回路で高速に動作する新しい高速 Viterbi Decoder を実現することは困難に思える。

しかし、基本的なアルゴリズムは意外と研究されていないものである。例えば、確率的な手法にもとづくアルゴリズムがそうである。確率的な手法で高速化できる例は知られているが、解析が難しいため、体系的な研究は殆どなされなかった。

そこで、本プロジェクトでは、Viterbi Decoder の確率的な特性を利用することによって、Viterbi Decoder の高速化を試みた。

## 4. 高速ヴィタビ・デコーダの原理

一般の最大値探索問題においては、探索対象の数値は、一様に分布すると仮定される。しかし、Viterbi Decoder においては、符号化装置によって情報系列に付加された冗長度のせいで、探索対象の尤度は、一様には分布しない。探索対象の尤度は、通信路の統計的な性質と符号の構造に依存して分布する。このため、通信路の統計的な性質にもとづいて、尤度の最大値を予測できる。また、尤度の最大値と、2 番目以下の尤度の差は、高い確率で、「通信路の統計的な性質と最小符号間距離に依存して決まる定数」よりも、大きくなる。

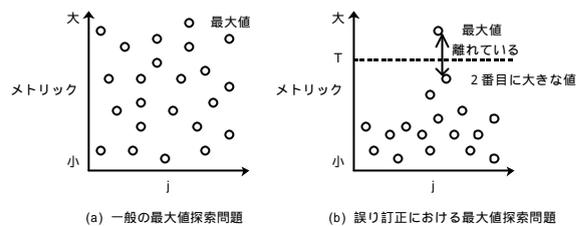


図 3 . 高速 Viterbi Decoder の原理

本プロジェクトで考案した高速 Viterbi Decoder は、この性質を利用して尤度の最大値を探索するものである。

図 4 は、高速 Viterbi Decoder の最大値探索装置の基本構成である。図において、比較手段は、尤度  $M(1)$ ,  $M(2)$ ,  $\dots$  と閾値  $T$  の大きさを比較し、計数手段は、 $T$  以上の値をとる尤度の個数を計数し、選択手段は、ある 1 個の尤度  $M(j)$  に対して  $M(j) > T$  となった時に、 $C(j)$  を出力する。制御手段は、尤度の最大値よりも小さく 2 番目以下の尤度よりも大きくなるような値  $T$  (以下では「閾値」と呼ぶ) を予測して、その値を出力するとともに、 $T$  以上の値をとる尤度の個数が 1 より多い時には、その個数が 1 となるように、 $T$  の値を増加させ、一方、 $T$  以上の値をとる尤度の個数が 0 の時には、その個数が 1 となるように、 $T$  の値を減少させる。

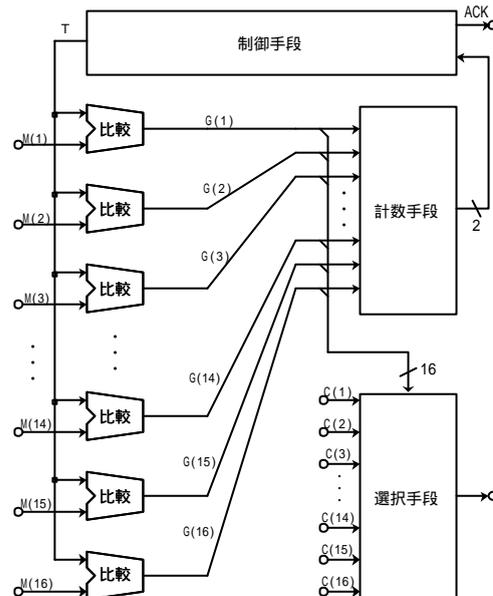


図 4 . 高速 Viterbi Decoder の最大値探索回路

なお、計数手段は、 $T$  以上の値をとる尤度の個数が、1、1 より多い、あるいは 0、のいずれかであることを調べれば十分である。このため、計数手段は、既存の最大値探索回路や多数決回路よりコンパクトに実装できるし、かつ、それらの回路より高速である。

もちろん、選択手段や計数手段の遅延時間は、既存の最大値探索回路や多数決回路と同様に、拘束長  $k$  に比例する。しかし、選択手段や計数手段は、既存の最大値検出回路や多数決回路よりも単純な論理回路で実現できるので、拘束長  $k$  が  $k=7$  程度であれば、選択手段や計数手段における遅延時間は、比較演算に比べて、無視できるほど小さくなる。

しかも、興味深いことに、本プロジェクトで提案する高速 Viterbi Decoder は、従来の Viterbi Decoder より

回路規模が小さく済むだけでなく、符号化利得を殆ど犠牲にしない。次の節では、高速 Viterbi Decoder の特性について考察する。

### 5. 高速ヴィタビ・デコーダの特性

本プロジェクトで提案した高速 Viterbi Decoder は、閾値  $T$  の値の予測が外れた場合に、 $T$  の値を増減して、1 ビットの復号に複数のステップ (マシン・クロック) を消費することがある。すなわち、本報告で提案した高速 Viterbi Decoder には、従来の Viterbi Decoder と違って、受信信号に生じた誤りに依存して、計算時間が変動するという問題がある。

しかし、この問題は、無視できるほど小さく、高速 Viterbi Decoder の実用性を損なうことは無い。以下では、高速 Viterbi Decoder シミュレーション結果を示す。なお、シミュレーション条件を表 1 に示す。また、以下のシミュレーションにおいては、情報 1 ビットの復号における閾値  $T$  の変更回数の最大値を 4 にしてある。すなわち、情報 1 ビットの復号において、閾値  $T$  の変更回数が 4 を越えたら、そのビットの復号を打ち切っている。

| シミュレーション条件                          |          |
|-------------------------------------|----------|
| Code Rate (符号化率 $R$ )               | 1/2      |
| Constraint Length (拘束長 $k$ )        | 7        |
| Soft Decision Level (軟判定レベル $L_s$ ) | 8        |
| Metric Scale (尤度の倍率)                | 8        |
| Path Memory Length (パスメモリ長)         | 32 bit   |
| Depth (1 ブロックにおける情報ビット長)            | 1000 bit |

表 1. シミュレーション条件

まず、与えられた  $E_b/N_0$  に対して、5000 個の符号ブロックを伝送し、誤り率を測定してみた。このシミュレーションによって、次のような結果が得られた。高速 Viterbi Decoder の原理からすると、通信路のノイズが大きいくほど、従来の Viterbi Decoder との性能差が大きくなるはずであるが、 $E_b/N_0=2 \sim 3.5\text{dB}$  という、比較的ノイズの大きな領域においても、優位な差は認められなかった。これによって、高速 Viterbi Decoder の誤り率特性が、従来の Viterbi Decoder のそれとほぼ等しいことがわかる。

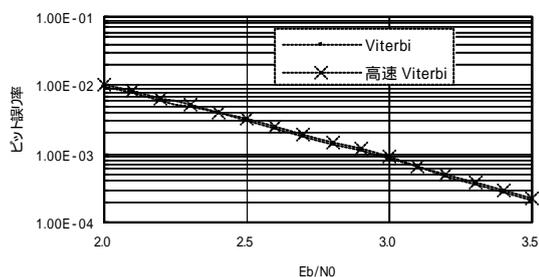


図 5. ビット誤り率特性

次に、与えられた  $E_b/N_0$  に対して、5000 個の符号ブロックを伝送し、高速 Viterbi Decoder で復号し、それらのブロックの復号に要する計算量を測定してみた。このシミュレーションによって、次のような結果が得られた。なお、図において、ビット計算量とは、符号器の状態数に等しい数の ACS 演算回路で並列処理した場合に、1 ビットの情報を復元するのに要するクロック数である。ちなみに、従来の Viterbi Decoder のビット計算量は、当然

のことながら、1 である。

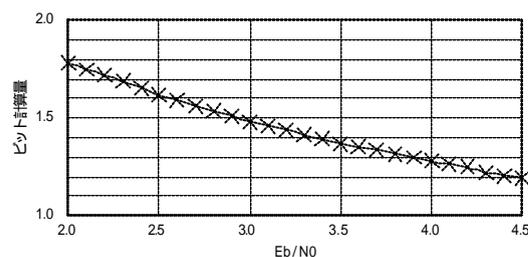


図 6. ビット計算量特性

高速 Viterbi Decoder の原理から予想されるように、ビット計算量は、通信路のノイズの大きさにほぼ比例して変動する。ビット計算量は、 $E_b/N_0$  が大きくなるにつれて減少してゆき、 $E_b/N_0=3.5\text{dB}$  においては、1.4 未満となる。

なお、パンクチャド符号については今後評価する予定であるが、パンクチャド符号が使われるような環境においてはノイズが小さいし、しかも、パンクチャドされたビットの尤度が既知であるが故に尤度の最大値を弁別できる閾値の値が予測しやすいので、ビット計算量はもっと 1 に近い値になると予測される。すなわち、パンクチャド符号が使われるような環境においては、高速 Viterbi Decoder のデータ速度は、Decoder の最高動作周波数にほぼ等しくなると予想される。

### 6. 高速ヴィタビ・デコーダの実装

表 2 の設計パラメータを有する高速 Viterbi Decoder の VHDL 記述から、Xilinx 社の FPGA (フィールド・プログラマブル・ゲートアレイ) [3] 用の回路データを生成してみた。なお、回路を生成するのに使用した開発ツールは、Xilinx 社の Foundation ISE で、使用した論理合成ツールは、FPGA Express である。

| 設計パラメータ                             |        |
|-------------------------------------|--------|
| Code Rate (符号化率 $R$ )               | 1/2    |
| Constraint Length (拘束長 $k$ )        | 7      |
| Soft Decision Level (軟判定レベル $L_s$ ) | 8      |
| Path Memory Length (パス・メモリ長)        | 32 bit |

表 2. 高速 Viterbi Decoder の設計パラメータ

生成された回路の規模と動作速度を、表 3 に示す。図において、SLICE は、Xilinx 社の FPGA の機能ブロックである。高速 Viterbi Decoder は、予想通り高速で、FPGA で実装しても 50MHz 以上の動作速度が得られる。しかも、符号化利得を犠牲にすることなく、これだけの動作速度が得られる (注: その後、動作速度をさらに改善)。

| Device                             | Xilinx Vertex V600 BG560-6 | Xilinx Vertex V1000 BG560-6 | Xilinx Vertex-E V1000E BG560-8 | Xilinx Vertex-E V2000E BG560-8 |
|------------------------------------|----------------------------|-----------------------------|--------------------------------|--------------------------------|
| Number of SLICES                   | 5238                       | 5303                        | 5321                           | 5321                           |
| Minimum Period (Maximum Frequency) | 28.094ns (35.595MHz)       | 24.161ns (41.389MHz)        | 21.015ns (47.585MHz)           | 19.658ns (50.870MHz)           |

表 3. 高速 Viterbi Decoder の回路規模と動作速度

### 7. 今後の開発計画

本プロジェクトで考案された高速 Viterbi Decoder が、

予想通り、小規模な回路で高速に動作することがわかった。この Decoder にもとづいて、通信コプロセッサを構成すれば、多くの無線通信装置の下位レイヤをソフトウェア・プログラマブルにできる。

ただし、最近の無線通信装置には、複雑なセキュリティ機能も搭載されるようになってきているので、無線通信ソフトの開発コストを削減するためには、下位レイヤだけをプログラマブルにするだけでなく、上位レイヤもプログラマブルにする必要がある。そして、そのためには、公開鍵暗号などの処理も、通信コプロセッサで行う必要がある。

今後は、高速な公開鍵暗号装置を開発し、それを本プロジェクトで開発した Viterbi Decoder と統合することによって、無線通信装置の大部分をソフトウェア・プログラマブルにできる高速かつ安価な高速通信コプロセッサを開発する予定である。

## 8 . 謝辞

最後に、本プロジェクトの実施に際して協力・御指導頂いた、プロジェクトマネージャーの西岡郁夫氏、プロジェクト実施管理組織の NTT ソフトウェア株式会社、ならびに事務局の皆様に深く感謝いたします。

## 9 . 参考文献

- [ 1 ] A.J. Viterbi: "Error Bounds for Convolutional Codes and an Asymptotically Optimum Decoding Algorithm,"  
IEEE Trans. Inform. Theory, Vol. IT-13, pp.260-269  
(1967).
- [ 2 ] Integrated Silicon Systems Ltd.:TB\_VIT\_L\_V002(7,1/2) ,  
(1999)
- [ 3 ] Xilinx 社 : 製品概要, 第 1.9 版, Xilinx 社(2000).