

非同期式 VLSI 設計用 CAD ソフトウェア技術の研究

Synthesis system of VLSI asynchronous circuits

今井 雅¹⁾ 中村 宏¹⁾ 南谷 崇¹⁾
Masashi IMAI Hiroshi Nakamura Takashi NANYA

Rafael MORIZAWA¹⁾ Metehan OZCAN¹⁾
高橋 渡²⁾ 若林 一敏²⁾
Wataru TATAHASHI Kazutoshi WAKABAYASHI
宮沢 義幸³⁾ 中越 優佳³⁾
Yoshiyuki MIYAZAWA Yuka NAKAGOSHI

- 1) 東京大学 先端科学技術研究センター (〒153-9804 東京都目黒区駒場 4 - 6 - 1
E-mail: [miyabi,nakamura,nanya,Rafael,ozcan]@rcast.u-tokyo.ac.jp)
- 2) NEC マルチメディア研究所 (〒211-8666 川崎市中原区下沼部 1 7 5 3
E-mail: [wataru,wakaba]@ccm.cl.nec.co.jp)
- 3) NEC 情報システムズ (〒213-0012 川崎市高津区坂戸 3 - 2 - 1 K S P ビル
E-mail:[miyazawa,yuka]@ats.nis.nec.co.jp)

ABSTRACT. This paper proposes an entire CAD flow from RTL to layout for asynchronous VLSI Circuits, which consists of existing synchronous CAD tools and newly developed asynchronous tools. Though conventional asynchronous design methodology has been based on the request-acknowledge handshaking model, this model is not familiar to synchronous circuits designers. Therefore, we proposed a new asynchronous circuit model, which consists of a FSM controller and a data-path including seven control modules such as fork, select, merge, and registers, which is similar to synchronous circuit model and easily acceptable by synchronous circuit designers. The RTL description based on the model is translated into asynchronous circuits based on two-rail two phase model by the proposed CAD system, which adds request-acknowledge signals to function modules and translates the conventional single-rail function modules into two-rail ones and then into fine grain pipelined ones.

1. 背景

半導体集積回路技術の進歩に伴う素子の微細化とシステムの大規模化が進行するにつれて配線遅延が支配的になるため、クロックをチップ全域に分配する同期式システムでは、期待されるゲート速度の向上がシステム性能の向上に反映されなくなると予想されている。半導体産業界が予測する 10 年後の集積規模を想定するならば、多数の機能が複合化する高性能 VLSI システムを現行の同期式システムとして実現することはほとんど不可能と言える。

これに対して、事象生起の因果関係を駆動原理とする非同期式システムはクロックの制約から解放されるため、計算の局所性を活用したアーキテクチャ、信号伝播の平均距離を最小にするレイアウト戦略の採用によって素子の高速性をそのまま直線的にシステム性能向上に反映し得る。また、その動作原理から「いかなる遅延に対しても正常動作が保証される」特性を有し、予測不能な遅延変動に対する高いロバスト性が得られるとともに、大規模複合システムのモジュラー設計が容易となる。さらにシステム内で必要な時に必要な場所でしか信号遷移が生

じないことから、システムの電力消費を低減出来る余地が大きい。

しかしながら、非同期式システムでは要求-応答プロトコルに伴う遅延が性能に対するオーバーヘッドとなるため、配線遅延を無視し得る狭小領域で、しかも遅延変動が充分小さい機能モジュールを実現する場合には、同期式システムの方が有利な場合がある。一方、入力データに依存して処理遅延が大きく変動する場合には、小さな領域であっても非同期式システムの方が有利である。

従って、将来の複合化集積システムを構成する機能モジュールの設計スタイルとして、事象駆動原理と局所クロックを併用した同期・非同期融合型の新しい設計スタイルが構想される。また、それらの機能モジュールを結合した全体の大規模複合化集積システムの姿として、「非同期の海に浮かぶ同期・非同期融合の島々」が構想される。

2. 研究の背景

こうした認識に基づき、我々は早くから非同期式システム設計の理論的研究を行ってきた。1992, 1993 年度の科学研究費一般研究(B)「非同期式プロセッサのアーキ

テクチャと設計方法に関する研究」において、遅延変動に対する耐性を重視した 8 ビット非同期式マイクロプロセッサ TITAC-1 を CMOS ゲートアレイで試作し、1994 年 2 月に我が国では初めて、世界でも米国 Caltech の研究チームにつく 2 番目の完全非同期式マイクロプロセッサとして、正しく動作することを確認した。また、非同期事象駆動原理に基づいた超高速プロセッサが実用レベルで実現できることを実証するため、1995、1996 年度の科学研究費試験研究(B)「超高速非同期式マイクロプロセッサの実現と評価に関する試験的研究」において、MIPS R2000 との互換アーキテクチャを持つ 32 ビット非同期式マイクロプロセッサ TITAC-2 をスタンダードセル方式で設計した。

1992 年度から 1996 年度までの 5 年間に渡るこれらの非同期式プロセッサ開発経験を通じて、アーキテクチャ検討の段階から、論理設計、及びレイアウト設計の段階を経て、最終マスクデータ作成に至る設計過程でのさまざまな問題点とその解決アイデア、すなわち種々設計ノウハウが蓄積され、また非同期式システム設計に必要な各種の設計ライブラリの蓄積も進んだ。一方、上述の 2 つの試作プロセッサ TITAC-1 及び TITAC-2 は、国内外に非同期式設計支援ツールが全く存在しなかったため、いずれも完全な人手設計で実現された。

その結果、多大な設計期間を要し、充分な最適化を行うことが出来なかった。非同期式システム設計を今日の成熟した同期式設計と並ぶ可能な選択肢として設計者に提供するためには、これまでのプロセッサ開発過程で得られた種々の設計方式、設計ノウハウを組織的に整理し、設計検証、レイアウト、テストまでを含めた非同期式 VLSI システムの統合設計環境として構築する必要がある。

3. 期待される効果、成果

このような準備状況を踏まえて、今日の同期式システムが直面している性能限界を突破し得る非同期式複合 VLSI システムの設計技術を世界に先駆けて確立し、現行の同期式設計と融合あるいは代替可能な非同期式 VLSI 設計用 CAD システムを提供することを目的として、本研究開発が開始された。なお、この CAD システムを実現することにより、「非同期式」VLSI 設計 TAT の低減を図ることができ、設計自動化による「非同期式」VLSI 設計方式の普及、及び今後の「非同期式」VLSI 設計の研究活動を加速させることが出来る。

4. 研究成果

1) 非同期式設計モデル

本研究では初めに、SI (Speed Independent) モデルに基づく非同期式制御回路とそれによって制御されるデータバスから成る構成を設計モデルとして、研究開発を開始した。SI モデルに基づく制御回路の論理合成には既存のツール (Petri) を利用することを前提として、Verilog RTL 記述からツールの入力となる STG を生成するアルゴリズムを開発、実装を行った。

実装されたツールを用いた評価により、STG を入力仕様とする制御回路を用いた非同期式システムではスケラビリティがないこと、また、仕様を記述する段階で要求-応答プロトコルを意識しなければならないため同期式システム設計者には設計が困難であること等が確認さ

れた。

非同期式回路を設計者が要求-応答プロトコルを意識して RTL (Register Transfer Level) 設計するためには、非同期式回路への深い理解が必要であり、また、要求-応答プロトコルの設計に間違いが入りやすく、非同期式回路の普及の妨げになっている。現状、広く使用されている VLSI システムは同期式回路で設計されており、RTL 設計段階では同期式回路と同じ設計スタイルの方が理解し易く、間違いも少ないと考えられる。

そこで、本研究では、従来の同期式回路の設計スタイルで設計された記述から非同期式回路を自動生成する設計モデルを提案した。

提案するモデルは複数の機能モジュールの結合で構成され、機能モジュール単体では局所的に同期をとる方式で動作し、機能モジュール間では事象駆動方式で動作する。

本研究で構築するシステムでは、同期式回路と同じ設計スタイルで設計された RTL 記述にデータの二線化、要求-応答信号の自動付加を行い非同期式回路を自動生成した。

2) 設計フロー

今日広く使用されている VLSI システムはほぼ全て同期式回路で設計されており、RTL 設計段階では同期式回路と同様の設計スタイルの方が同期式システム設計者にとって理解が容易であり、既存のツールとの融合も容易に行うことが出来るとの観点から、本研究では、従来の同期式回路の設計スタイルで設計された記述から非同期式回路を自動生成する設計モデルを提案した。提案したモデルは、複数の機能モジュールの結合で構成され、機能モジュール単体では局所的に同期を取る方式で動作し、機能モジュール間は事象駆動方式で動作する。

提案した設計モデルに基づいた回路を設計する CAD システムとして、同期式回路と同じ設計スタイルで記述された Verilog RTL を入力として、データバスの 2 線化、細粒度化、要求-応答信号線の付加を行うアルゴリズムの確立、ツールの実装を行った。

細粒度化とは要求-応答プロトコルに伴うオーバーヘッドを隠蔽する手法のことであり、回路レベルの実現手法として DDL (Differential Domino Logic) を利用して合成された回路を細粒度化するアルゴリズムを開発、ツールの実装を行った。

また、遅延モデルとして設計段階で遅延を利用できることを前提とし、回路要素の絶対的な遅延変動の大きさには上限はないが、互いに他の要素の遅延に対する相対的な遅延変動率には上限があると仮定する SDI (Scalable-Delay-Insensitive) モデルに基づいた設計をサポートするための CAD を開発した。

SDI レイアウトを実現するための配置配線段階で与える制約の自動生成、及び設計された回路が SDI モデルで規定する信号遷移の順序関係を満たしているかどうか検証するタイミング解析ツールの実装を行った。

以上の成果により、従来の同期式回路の設計スタイルで設計された Verilog RTL 記述を入力として、2 線化、細粒度化、要求-応答信号線の付加を経て、SDI モデルに基づく非同期式システムの Verilog ゲートレベル記述を出力する一連の設計フローを CAD を用いて行うことが出来るようになったのが大きな成果である。今後の発展としては、このシステムを基本にさらに上位の記述から非同期回路を自動合成するシステムの開発や、DDL を用いた

細粒度化以外の方式の非同期式回路や同期、非同期混在の回路を設計する設計フローの確立が考えられる。

3) 合成アルゴリズムの開発

(a)制御部の論理合成アルゴリズムの開発

Verilog RTL による制御仕様記述を、非同期式制御回路を生成するための仕様表現として適しているとされる STG へ変換するアルゴリズムを開発した。STG から SDI モデルに基づく制御回路を実現するには、既存の非同期式制御回路生成ツール Petrifly に適切な制約記述を与える手法を取っている。

データパス回路の遅延情報を利用して STG に対し SDI 変換と呼ぶ変換操作を行うことによって、本来 QDI モデルに基づく論理合成アルゴリズムである Petrifly を用いて SDI 回路を得ることが出来る。この SDI 変換アルゴリズムを開発した。

(b)データパス論理合成アルゴリズムの開発

Verilog による論理仕様記述から、DDL(Differential Domino Logic)による演算回路を生成するツールを開発する。非同期式パイプラインは適切に細粒度化することによって、パイプライン制御のオーバーヘッドが隠蔽される。また、細粒度分割されたデータパス回路に適切な完了信号生成回路を付加することによって、SDI モデルに基づく完了信号生成回路を付加するアルゴリズムを開発した。

(c)SDI レイアウトアルゴリズムの開発

制御回路およびデータパスの設計では、SDI モデルに基づいた論理合成を行う。SDI モデルに基づいた設計では、正しく動作するためにパスの遅延に関して遅いパスの遅延が速いパスの遅延の K 倍以上となるような制約が与えられる。この遅延関係を満たすため、フロアプランおよび配置配線の際に与える制約を自動生成するアルゴリズムを開発した。

4) 合成ツールの実装

(a)制御部の論理合成ツールの実装

開発した制御部の論理合成アルゴリズムに基づき、Verilog RTL による仕様記述を STG へと変換するツールを実装した。STG を仕様記述として論理合成・テクノロジマッピングを行うツールとしては既存の非同期式制御回路合成ツール Petrifly を使用し、Petrifly を用いた論理合成を行う際に適切な制約記述を自動生成するツールを実装した。

さらに、遅延情報を利用して STG に対して SDI 変換および変換操作を行うことにより SDI 回路を得るためのツールを実装した。

(b)データパス部の論理合成ツールの実装

開発したアルゴリズムに基づき、Verilog ゲートレベル記述を二線化し、細粒度分割および要求-応答制御回路の付加を行うツールを実装した。

(c)SDI レイアウトアルゴリズムの開発

制御回路およびデータパスの設計では、SDI モデルに基づいた論理合成を行う。SDI モデルに基づいた設計では、正しく動作するためにパスの遅延に関して遅いパスの遅延が速いパスの遅延の K 倍以上となるような制約が与えられる。この遅延関係を満たすため、フロアプランおよび配置配線の際に与える制約を自動生成するアルゴリズムを開発した。

(d)SDI 検証アルゴリズムの開発

SDI モデルに基づく設計では、パス遅延に関して制約が与えられる。配置配線を行った結果が遅延制約を満たしているかどうかを確認するアルゴリズムを開発した。満たすべきパス遅延としては、ループ構造を通過するパスの遅延を測定しなければならないことがあるため、既存の遅延解析ツールを使用する場合は、適切な制約を与えて遅延を出力し、その結果をさらに加工するアルゴリズムが必要となる。

4) CADシステムの実装

(a)制御部の論理合成ツールの実装

開発したアルゴリズムに基づき、Verilog RTL による仕様記述を STG へと変換するツールを実装した。STG を仕様記述として論理合成・テクノロジマッピングを行うツールとしては既存の非同期式制御回路合成ツール Petrifly を使用し、Petrifly を用いた論理合成を行う際に適切な制約記述を自動生成するツールを実装した。

さらに、遅延情報を利用して STG に対して SDI 変換および変換操作を行うことにより SDI 回路を得るためのツールを実装した。

(b)データパス部の論理合成ツールの実装

Verilog ゲートレベル記述を二線化し、細粒度分割および要求-応答制御回路の付加を行うツールを実装した。

(c)レイアウト支援ツールの実装

SDI モデルに基づいて設計された回路が正しく動作するためには、レイアウト後も特定のパスの信号遷移が一定の順序関係を満たす必要がある。具体的にはパスの遅延に関して遅いパスの遅延が速いパスの遅延の K 倍以上となるような制約が与えられる。この信号遷移の順序関係を満たすために配置配線ツールに与える遅延制約を自動生成するアルゴリズムを実装した。

(d)検証ツールの実装

配置配線を行った結果が実際に SDI モデルに基づく制約を満たしているかを検証するためのツールを実装した。配置配線後の配線遅延を SDF(Standard Delay Format)で入力し、その遅延値を用いて SDI モデルで規定する遅延制約が満たされているかを検証し、遅延制約を満たしていないパスの情報を出力する。また、違反している箇所に関しては、制約を満たすための手法を出力する。

(d)非同期式 VLSI 回路設計支援ツールの実装

Verilog ゲートレベル記述を入力として、二線化、細粒度化、要求-応答制御回路の付加を行い、同期式のゲートレベル記述からクロックを用いない非同期式回路を得る一連のフローの入力、表示を支援するためのグラフィカル・ユーザ・インタフェースを備えた設計支援システム ``Ainos`` (アイノス) を実装した。

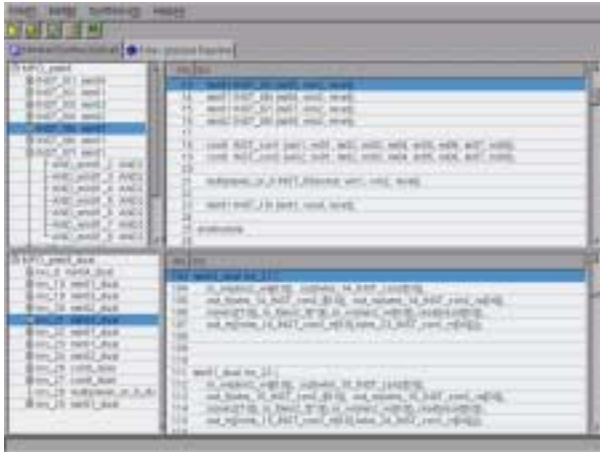


図 . 1 非同期式 VLSI 設計用 CAD システム Ainos

本システムの機能は大きく 3 つに分けられる。1 つ目がユーザからの入力を容易にするためのグラフィカル・ユーザ・インタフェースの機能、2 つ目が設計した回路を階層的に表示したり、変換前後の回路記述を比較表示したりする表示系の機能、3 つ目が簡易的な論理合成機能である。論理合成機能としては、下位モジュールを上位モジュール階層に展開する機能とゲートライブラリへマッピングする機能を実装した。

5 . まとめ

従来の同期式回路の設計スタイルで設計された Verilog RTL 記述を入力とし、2 線化、細粒度化、要求-応答信号線の付加を自動で行い、SDI モデルに基づく遅延制約を満たすための配置配線ツールに与える制約を自動生成するツールとレイアウト結果の遅延を用いて SDI モデルに基づく遅延制約が満たされているかを検証するツールの実装を行った。これにより設計した回路に SDI モデルに違反したパスが存在した時に問題個所の特定を早期に行うことができ、設計期間の短縮および回路品質の向上が見込まれる。

また、今までに構築したツールをグラフィカルに操作するための設計支援システムを実装した。この設計支援システムを使うことによって、構造記述である Verilog ゲートレベル記述を編集し、二線化、細粒度化、要求-応答信号付加の一連の設計フローを本システム上で行うことができる。

以上のように、同期式回路の設計スタイルで記述された Verilog RTL 記述よりクロックを全く持たない非同期式回路を自動合成するシステムを開発した。

6 . 今後の課題

今後の発展としては、このシステムを基本にさらに上位の記述から非同期回路を自動合成するシステムの開発や、DDL を用いた細粒度化以外の方式の非同期式回路や同期、非同期混在の回路を設計する設計フローの確立が考えられる。

7 . 発表論文一覧

今井、中村、南谷 : " SDI モデルに基づいた非同期式パイプライン・データパスの論理合成 " 情報処理学会論文誌 Vol.40, No.4, pp.1547-1556(April 1999)

Y.Kameda,S.V.Polonsky,M.Maezawa,Nanya:
" Self-timed parallel adders based on DI RSFQ primitives " , IEEE Trans. on Applied Superconductivity, Vol.9, No.2, pp4040-4045 (June 999).

Rafael Morizawa, Takashi Nanya : "A four-phase handshaking asynchronous controller specification style and its idle-phase optimization",Proc. International Conf. on Chip Design Automation, pp.439-447 (August, 2000).

Rafael Morizawa, Takashi Nanya : "A specification style of four-phase handshaking asynchronous controllers and the optimization of its return-to-zero phase.",IEICE Trans. On Fundamentals of Electronics, Information and Communication, Vol.E-83-A, No.12, pp.2446-2455 (Dec. 2000)

M.Tsukisaka, T.Nanya : "A testable design for asynchronous fine-grain pipeline circuits.", Proc. of 7th Pacific Rim International Conference on Dependable Computing, pp.148-155(Dec.2000)

M. Ozawa, Y.Ueno, M.Imai, H.Nakamura, T.Nanya : "A cascade ALU architecture for asynchronous superscalar processors", IEICE Trans.on Electronics, Vol.E84-C, No.2. (Feb. 2001)

Nattha Sretaserekul and Takashi Nanya : "Eliminating Isochronic-fork constraints in quasi-delay-insensitive circuits"Proc. ASP-DAC2001 (Jan. 2001)

H.Kagotani, T.Okamoto, T.Nanya : "Synthesis of Two-Phase Asynchronous Control Circuits from Pipeline Dependency Graphs" Proc. ASP-DAC2001 (Jan. 2001)

M. Ozawa, M.Imai, Y.Ueno, H.Nakamura, T.Nanya : "Performance evaluation of Cascade ALU architecture for asynchronous super-scalar processors." Proc. ASYNC2001 (March 2001)

福田伸樹, 小沢基一, 南谷崇 : "非同期式浮動小数点加減算回路の構成と評価", 電子情報通信学会 VLSI 設計

技術研究会(Nov. 2000)

今井雅, 南谷崇: ``遅延情報を利用した非同期式 RTL 設計モデルの提案'', 電子情報通信学会 VLSI 設計技術研究会(Nov., 2000)

M.Ozcan, K.Motoyama, T.Nanya: ``Verification of timing constraints for fine-grain pipelined asynchronous data-path circuits'', 電子情報通信学会 VLSI 設計技術研究会(Nov. 2000)

宮沢義幸, 中越優佳, 今井雅, Rafael Morizawa, Metehan Ozcan, 中村宏, 南谷崇, 高橋渡, 若林一敏: “非同期式 VLSI 設計用 CAD システムの提案”, 電子情報通信学会 VLSI 設計技術研究会 (May, 2001), VLD2001-9, pp.9-14

今井雅, Metehan Ozcan, 南谷崇, 宮沢義幸, 中越優佳, 高橋渡, 若林一敏: “非同期式 VLSI 設計用 CAD システム”, 第 5 回システム LSI ワークショップポスターセッション(Nov. 2001)

月坂真之, 今井雅, 南谷崇: “ダイナミック CMOS の出力バッファ二重化による非同期式パイプラインの高速化”, 第 5 回システム LSI ワークショップポスターセッション(Nov., 2001)

今井雅, 南谷崇: “遅延情報を利用した非同期式 VLSI 設計の一手法の提案”, 電子情報通信学会技術研究報告 (Nov. 2001), VLD2001-120, pp. 51-56

Hiroshi Saito, Alex Kondratyev, Takashi Nanya: “Design of Asynchronous Controllers with Delay Insensitive Interface”, Proceedings of ASP-DAC/VLSI Design 2002, pp.93-98, Jan.2002

Metehan Ozcan, Masashi Imai, Takashi Nanya: “Generation and Verification of Timing Constraints for Fine-Grain Pipelined Asynchronous Data-Path Circuits”, Proceeding of Advanced Research in Asynchronous Circuits and Systems.(Apr., 2002) (to appear)

8. 参加企業及び機関

東京大学 先端科学技術研究センター 南谷研究室
NEC マルチメディア研究所
株式会社 NEC 情報システムズ

9. 参考文献

南谷崇., “非同期式マイクロプロセッサの動向.”, 情報処理, Vol.~39, No.~3, pp. 181-186, March 1998.

Alain J. Martin., “Synthesis of asynchronous VLSI circuits.”, In J. Staunstrup, editor, FORMAL METHODS FOR VLSI DESIGN, chapter 6, pp. 237-283. Elsevier Science Publishers B. V., 1990.

福田伸樹, 小沢基一, 南谷崇., “非同期式浮動小数

点加減算回路の構成と評価.”, 信学技報 CPSY00-92, pp. 131-136, November 2000.

Alain J. Martin, Andrew Lines, Rajit Manohar, Mika Nystroem, Paul Penzes, Robert Southworth, and Uri Cummings. The design of an asynchronous MIPS R3000 microprocessor. In Advanced Research in VLSI, pp. 164-181, September 1997.

今井雅, 南谷崇, 遅延情報を利用した非同期式 RTL 設計モデルの提案.”, 電子情報通信学会技術研究報告 VLD 2000-92, pp. 137-142, Nov 2000.

宮沢善幸, 中越優佳, 今井雅, Rafael Morizawa, Metehan Ozcan, 中村宏, 南谷崇, 高橋渡, 若林一敏. “非同期式 VLSI 設計用 CAD システムの提案.”, 電子情報通信学会技術研究報告 VLD 2001-05, pp. 9-14, May 2001.

Ivan Sutherland and Scott Fairbanks. “GasP: A minimal FIFO control. “, In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, pp. 46-53. IEEE Computer Society Press, March 2001.